

4 路双向开关

1、概述

CD4066电路是具有4个独立结构的双向模拟开关（传输门）。每个开关有两个输入/输出端（Y/Z）和一个高有效使能端（E）。当E连接到 V_{DD} 时，Y和Z之间就建立一个低阻抗的双向通道（导通状态）。当E连接到 V_{SS} 时，开关处于无效状态，Y和Z之间建立高阻通道（关断状态）。

CD4066与HEF4016B管脚兼容，但导通电阻更小。另外，在输入信号全幅度范围内，CD4066的导通电阻相对恒定不变。

CD4066采用DIP14/SOP14封装形式。

2、功能框图及引脚说明

2.1、功能框图

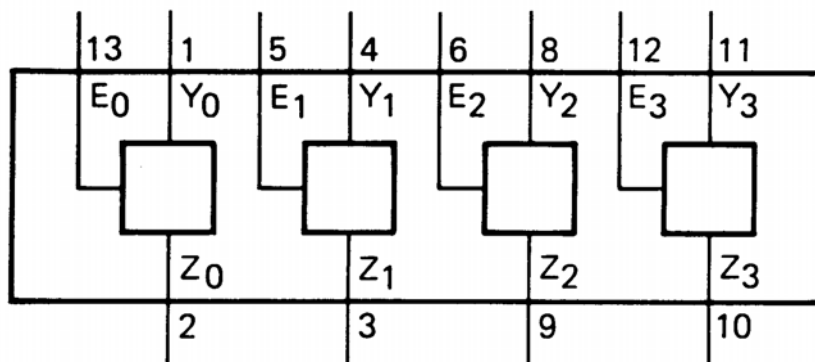


图 1

2.2 单个开关原理图

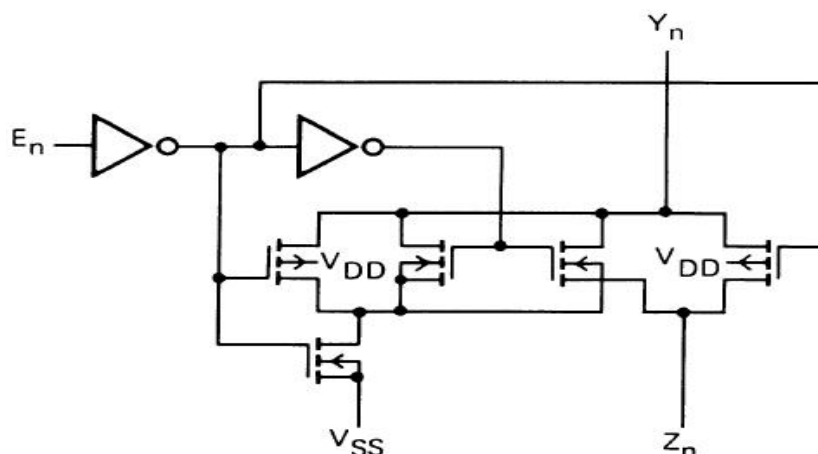


图 2

2.3、引脚排列图

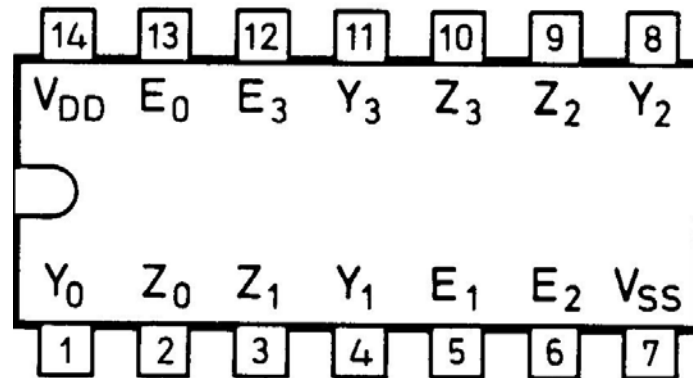


图 3

2.4、引脚说明

引脚	符号	功能	引脚	符号	功能
1	Y ₀	输入/输出端	8	Y ₂	输入/输出端
2	Z ₀	输入/输出端	9	Z ₂	输入/输出端
3	Z ₁	输入/输出端	10	Z ₃	输入/输出端
4	Y ₁	输入/输出端	11	Y ₃	输入/输出端
5	E ₁	使能输入端	12	E ₃	使能输入端
6	E ₂	使能输入端	13	E ₀	使能输入端
7	V _{SS}	地	14	V _{DD}	电源

3、电特性

3.1、极限参数 (除非另有规定, T_{amb}=25°C)

参数名称	符号	条件	额定值	单位	
电源电压	V _{DD}		-0.5~+12	V	
输入电压	V _I		-0.5~V _{DD} +0.5	V	
输入输出电流	±I		±10	mA	
功耗	P _{tot}	HEF(DIP), T _{amb} = -40 to +70°C ⁽¹⁾	750	mW	
		HEF(SOP), T _{amb} = -40 to +70°C ⁽²⁾	500		
输出功率	P		100	mW	
工作环境温度	T _{amb}		-40~+85	°C	
贮存温度	T _{stg}		-65~+150	°C	
焊接温度	T _L	10 秒	DIP 封装电路	245	°C
			SOP 封装电路	250	

注: 1. DIP封装: 当T_{amb}大于70°C时, 温度每升高1°C, 额定功耗减少12mW。

2. SOP封装: 当T_{amb}大于70°C时, 温度每升高1°C, 额定功耗减少8mW。

3.2、推荐使用条件($T_{amb} = 25^{\circ}\text{C}$; $R_L = 10\text{ k}\Omega$; $C_L = 50\text{ pF}$; $E_n = V_{DD}$ (方波); $V_{is} = V_{DD} = 5\text{ V}$)

参数	符号	条件	最小	典型	最大	单位
电源电压	V_{DD}		3.0	5.0	9.0	V
输入电压	V_I		0	-	V_{DD}	V
输出无效时间 (高电平→关断)	tPHZ	E_n, V_{os}		80	160	ns
输出无效时间 (低电平→关断)	tPLZ	E_n, V_{os}		80	160	ns
输出使能时间 (关断→高/低电平)	tPZH, tPZL	E_n, V_{os}		45	90	ns
数字输入端输入电容	C_i				7.5	pF

3.3、直流电气特性 (除非另有规定, $T_{amb}=25^{\circ}\text{C}$)

参数名称	符号	测试条件	最小	典型	最大	单位	
导通电阻	R_{ON}	$V_{is} = V_{SS}$ to V_{DD} E_n at V_{DD} , 见图 4	$V_{DD} = 5\text{V}$	-	350	2500	
			$V_{DD} = 9\text{V}$	-	80	245	
导通电阻	R_{ON}	E_n at V_{DD} , $V_{is} = V_{SS}$ 见图 4	$V_{DD} = 5\text{V}$	-	115	340	
			$V_{DD} = 9\text{V}$	-	50	160	
导通电阻	R_{ON}	E_n at V_{DD} , $V_{is} = V_{DD}$ 见图 4	$V_{DD} = 5\text{V}$	-	120	365	
			$V_{DD} = 9\text{V}$	-	65	200	
任意两个通道间的电阻差	R_{ON}	E_n at V_{DD} , $V_{is} = V_{DD}$ 见图 4	$V_{DD} = 5\text{V}$	-	25		
			$V_{DD} = 9\text{V}$	-	10		
关断态漏电流 (任何通道关断)	I_{OZ}	E_n at V_{SS}	$V_{DD} = 5\text{V}$	-		nA	
			$V_{DD} = 9\text{V}$	-			
E_n 端输入电压 (低电平电压)	V_{IL}	$I_{is} = 10\text{ A}$ 见图 9	$V_{DD} = 5\text{V}$	-	2.25	1	V
			$V_{DD} = 9\text{V}$	-	4.50	2	

参数名称	符号	测试条件	-40°C	+25°C	+85°C	单位	
静态电流	I_{DD}	$V_{SS} = 0$; $V_I = V_{SS}$ or V_{DD} (所有输入端)	$V_{DD} = 5\text{V}$	1.0	1.0	7.5	uA
			$V_{DD} = 9\text{V}$	2.0	2.0	15.0	
E_n 端输入漏电流	$\pm I_{IN}$	E_n at V_{SS} or V_{DD}	$V_{DD} = 9\text{V}$	-	300	1000	nA

3.4、交流电气特性(1), (2) ($V_{SS} = 0V$; $T_{amb} = 25^\circ C$; 输入传输时间 $\leq 20 ns$)

参数名称	符号	测试条件	典型	最大	单位	备注
传输延时 $V_{is} \rightarrow V_{os}$						
HIGH to LOW	t_{PHL}	$V_{DD} = 5V$	10	20	ns	见注 3
		$V_{DD} = 9V$	5	10		
LOW to HIGH	t_{PLH}	$V_{DD} = 5V$	10	20	ns	见注 3
		$V_{DD} = 9V$	5	10		
输出禁止时间 $E_n \rightarrow V_{os}$						
HIGH	t_{PHZ}	$V_{DD} = 5V$	80	160	ns	见注 4
		$V_{DD} = 9V$	65	130		
LOW	t_{PLZ}	$V_{DD} = 5V$	80	160	ns	见注 4
		$V_{DD} = 9V$	70	140		
输出使能时间 $E_n \rightarrow V_{os}$						
HIGH	T_{PZH}	$V_{DD} = 5V$	40	80	ns	见注 4
		$V_{DD} = 9V$	20	40		
LOW	T_{PZL}	$V_{DD} = 5V$	45	90	ns	见注 4
		$V_{DD} = 9V$	20	40		
失真 (正弦波)		$V_{DD} = 5V$	0.25		%	见注 5
		$V_{DD} = 9V$	0.04			
任意两个通道间的串扰		$V_{DD} = 5V$	-		MHz	见注 6
		$V_{DD} = 9V$	1			
串扰(输入输出有效)		$V_{DD} = 5V$	-		mV	见注 7
		$V_{DD} = 9V$	50			
关断态		$V_{DD} = 5V$	-		MHz	见注 8
		$V_{DD} = 9V$	1			
导通频响		$V_{DD} = 5V$	-		MHz	见注 9
		$V_{DD} = 9V$	90			
动态功耗	P	$V_{DD} = 5V$	$800f_i + \sum (f_o C_L) \times V_{DD}^2$		μW	f_i : 输入频率 f_o : 输出频率 C_L : 负载电容 $\sum (f_o C_L)$: 输出总和 V_{DD} 电源电压
		$V_{DD} = 9V$	$3500f_i + \sum (f_o C_L) \times V_{DD}^2$			

注: 1. V_{is} 是Y或Z端的输入电压。

2. V_{os} 是Y或Z端的输出电压。

3. $R_L = 10 k$ (对地); $C_L = 50 pF$ (对地); $E_n = V_{DD}$; $V_{is} = V_{DD}$ (方波); 见图6 和 图10。

4. $R_L = 10 k$; $C_L = 50 pF$ (对地); $E_n = V_{DD}$ (方波);

测试 t_{PHZ} 和 t_{PZH} 时, $V_{is} = V_{DD}$ and R_L 接地;

测试 t_{PLZ} 和 t_{PZL} 时, $V_{is} = V_{SS}$ and R_L 接 V_{DD} ; 见图6 和图11.

5. $R_L = 10 k$; $C_L = 15 pF$; $E_n = V_{DD}$; $V_{is} = 1/2 V_{DD}(p.p)$ (正弦波, 直流偏置为 $1/2 V_{DD}$); $f_i = 1 kHz$; 见图7.

6. $R_L = 1\text{ k}$; $V_{IS} = 1/2 V_{DD}(\text{p-p})$ (正弦波, 直流偏置为 $1/2 V_{DD}$);
 $20\log (V_{OS} (B) / V_{IS} (A)) = -50\text{dB}$; $E_n (A) = V_{SS}$; $E_n (B) = V_{DD}$; 见图8;
7. $R_L = 10\text{ k}$ (对地); $C_L = 15\text{ pF}$ (对地); $E_n = V_{DD}$ (方波); 串扰为 V_{OS} (峰值); 见图6;
8. $R_L = 1\text{ k}$; $C_L = 5\text{ pF}$; $E_n = V_{SS}$; $V_{IS} = 1/2 V_{DD}(\text{p-p})$ (正弦波, 直流偏置为 $1/2 V_{DD}$);
 $20\log (V_{OS} / V_{IS}) = -50\text{dB}$; 见图7;
9. $R_L = 1\text{ k}$; $C_L = 5\text{ pF}$; $E_n = V_{DD}$; $V_{IS} = 1/2 V_{DD}(\text{p-p})$ (正弦波, 直流偏置为 $1/2 V_{DD}$);
 $20\log (V_{OS} / V_{IS}) = -3\text{dB}$; 见图 7;

4、测试线路

4.1、导通电阻测试线路图

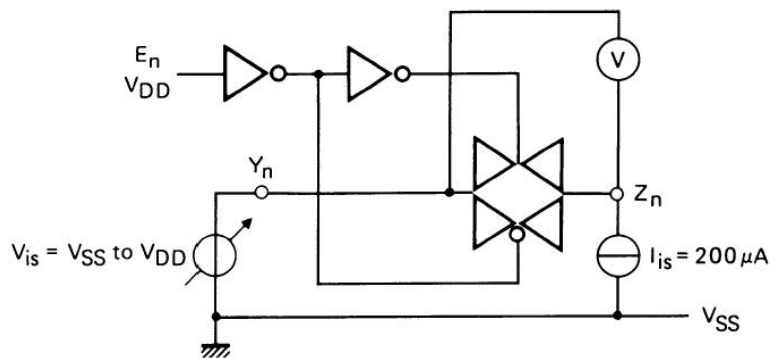


图4 导通电阻测试线路图

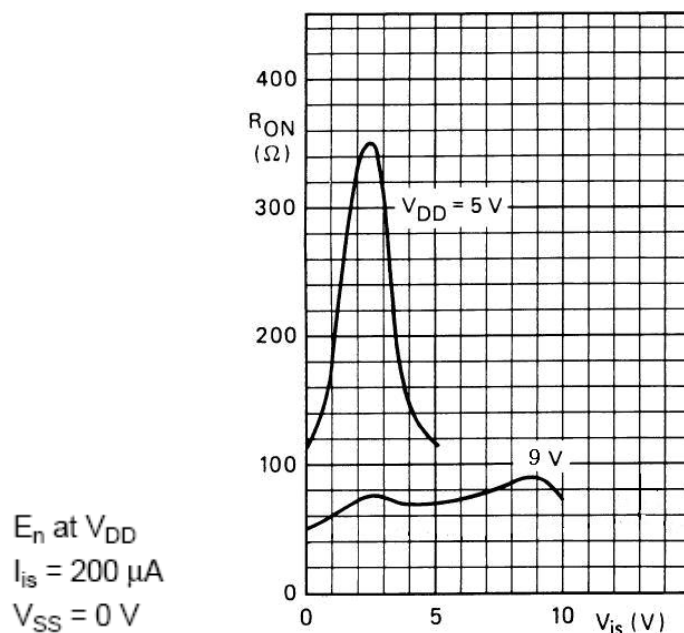


图5 R_{ON} 与输入电压的对应曲线图

注意：为了避免电路电流从Z端流出，当开关电流从Y端流入时，该开关两端的压降应不超过0.4V。如果开关电流从Z端流入时，Y端将无电路电流输出，这样开关两端的压降将无限制，但是Y端和Z端的电压将不能高于 V_{DD} 或小于 V_{SS} 。

4.2、交流测试线路

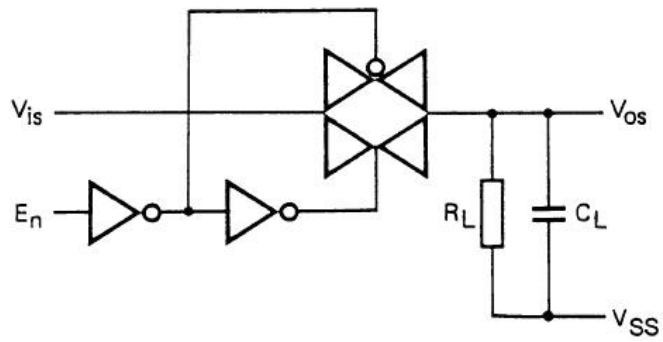


图 6

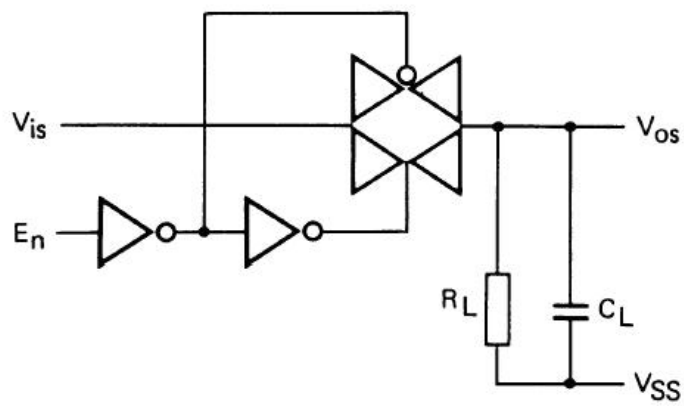


图 7

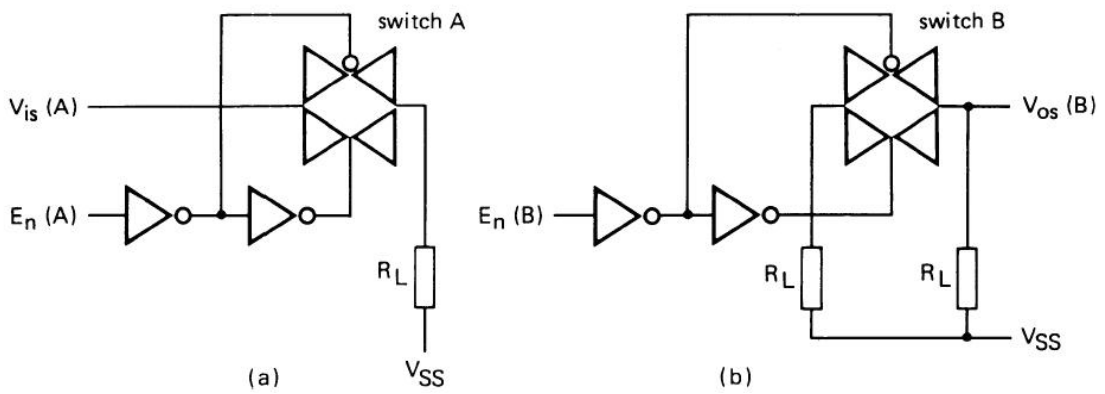


图 8

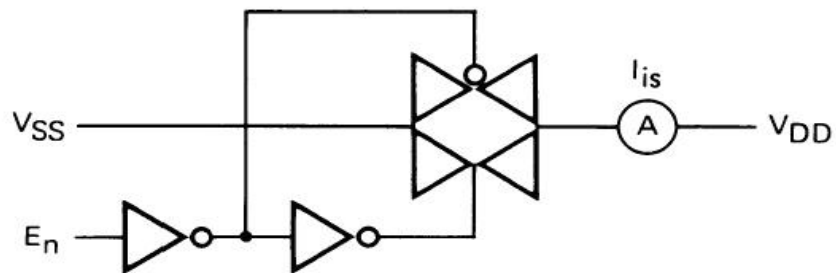


图 9

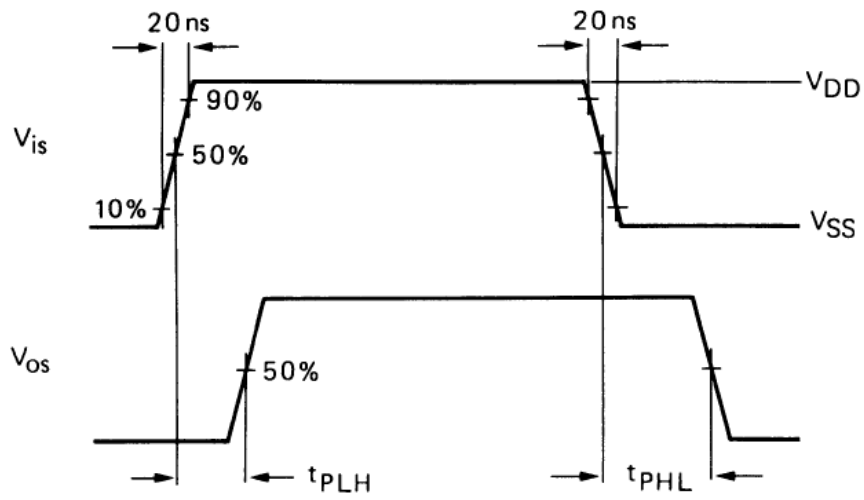


图10 传输延时

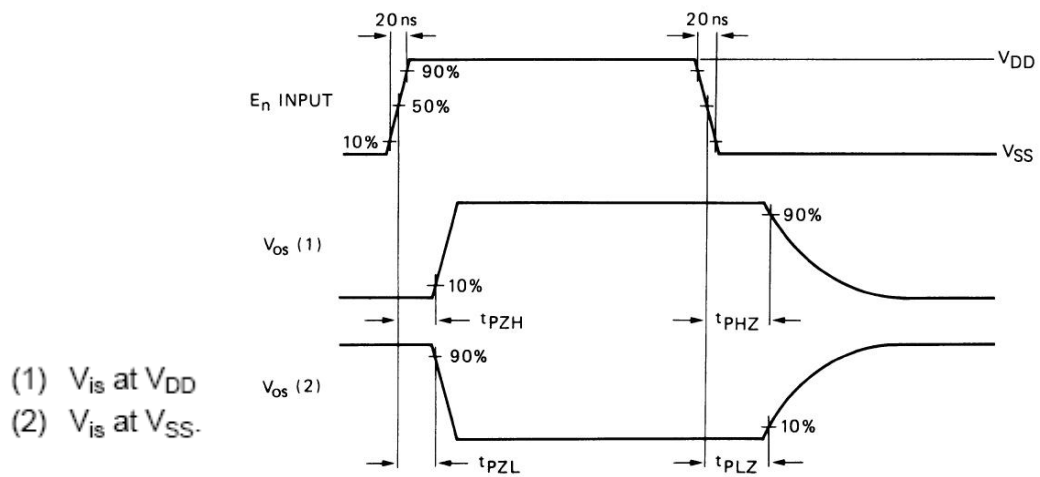


图11 输出使能与禁止延时

重要声明：

华冠半导体保留未经通知更改所提供的产品和服务。客户在订货前应获取最新的相关信息，并核实这些信息是否最新且完整的。

客户在使用华冠半导体产品进行系统设计和整机制造时有责任遵守安全标准并采取安全措施，以避免潜在风险可能导致人身伤害或财产损失情况的发生。

华冠半导体产品未获得生命支持、军事、航空航天等领域应用之许可，华冠半导体将不承担产品在这些领域应用造成的后果。

华冠半导体的文档资料，仅在没有对内容进行任何篡改且带有相关授权的情况下才允许进行复制。华冠半导体对篡改过的文件不承担任何责任或义务。