

特性

信噪比(SNR): 73.4 dBFS(95 MHz带宽、185 MHz A_{IN} 、245.76 MSPS时)

无杂散动态范围(SFDR): 85 dBc(185 MHz A_{IN} 、250 MSPS时)

输入噪声密度: -151.2 dBFS/Hz(185 MHz、-1 dBFS A_{IN} 、250 MSPS时)

总功耗: 1 W(含固定频率NCO、95 MHz FIR滤波器)

电源电压: 1.8 V

LVDS(ANSI-644电平)输出

1至8整数输入时钟分频器(最大输入频率625MHz)

集成双通道ADC

采样速率最高达250 MSPS

中频采样频率达400 MHz

ADC内部基准电压源

灵活的输入范围

1.4 V p-p至2.1 V p-p(标称值1.75 V)

ADC时钟占空比稳定器

95 dB通道隔离/串扰

集成宽带数字处理器

32位复数数控振荡器(NCO)

FIR滤波器, 支持2种模式

$f_s/4$ 输出NCO支持实信号输出

幅度检测位支持实现高效AGC

节能的关断模式

抽取交错式实信号LVDS数据输出

应用

通信

分集无线电系统

多模式数字接收机(3G)

TD-SCDMA、WiMax、WCDMA、CDMA2000、GSM、EDGE、LTE

通用软件无线电

宽带数据应用

概述

AD6649是一款混合信号中频(IF)接收机, 内置双通道14位250 MSPS ADC和一个宽带数字下变频器(DDC), 旨在为低成本、小尺寸、宽带宽、多功能通信应用提供解决方案。

这款双通道ADC内核采用多级、差分流水线架构, 并集成了输出纠错逻辑。每个ADC均具有宽带宽输入, 支持用户可选的各种输入范围。集成基准电压源可简化设计。占空比稳定器可用来补偿ADC时钟占空比的波动, 使转换器保持出色的性能。

功能框图

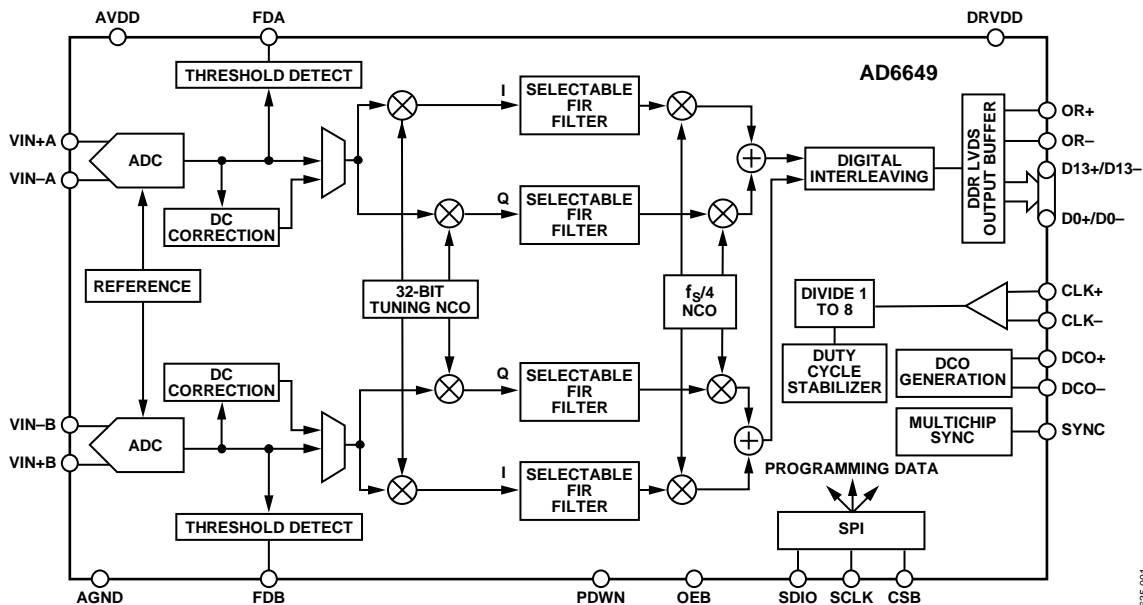


图1

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.

Tel: 781.329.4700

Fax: 781.461.3113

www.analog.com

©2011 Analog Devices, Inc. All rights reserved.

目录

特性.....	1	NCO和FIR滤波器模式.....	22
应用.....	1	$f_s/4$ 固定频率NCO.....	22
概述.....	1	数控振荡器(NCO).....	23
功能框图.....	1	频率转换.....	23
修订历史.....	2	NCO同步.....	23
产品聚焦.....	3	NCO幅度与相位扰动.....	23
技术规格.....	4	FIR滤波器.....	24
ADC直流规格.....	4	FIR同步.....	24
ADC交流规格.....	5	滤波器性能.....	24
数字规格.....	6	输出NCO.....	25
开关规格.....	8	ADC超量程与增益控制.....	26
时序规格.....	9	ADC超量程(OR).....	26
绝对最大额定值.....	10	增益开关.....	26
热特性.....	10	直流校正.....	27
ESD警告.....	10	通道/芯片同步.....	28
引脚配置和功能描述.....	11	串行端口接口(SPI).....	29
典型工作特性.....	13	使用SPI的配置.....	29
等效电路.....	16	硬件接口.....	29
工作原理.....	17	SPI访问特性.....	30
ADC架构.....	17	存储器映射.....	31
模拟输入考虑.....	17	读取存储器映射寄存器表.....	31
基准电压源.....	19	存储器映射寄存器表.....	32
时钟输入考虑.....	19	存储器映射寄存器描述.....	36
功耗和待机模式.....	20	应用信息.....	39
数字输出.....	21	设计指南.....	39
超量程(OR).....	21	外形尺寸.....	40
数字处理.....	22	订购指南.....	40
数控振荡器(NCO).....	22		

修订历史

2011年9月—修订版0至修订版A

更改表1.....	4
更改表3.....	6
更改表4.....	8
更改表8.....	11
增加“超量程(OR)”部分.....	21
更改“通道/芯片同步”部分.....	28
更改NCO/FIR SYNC引脚控制(寄存器0x59).....	38

2011年4月—修订版0：初始版

ADC数据输出端在内部直接与接收机的数字下变频器(DDC)相连。双通道数字接收机具有灵活的处理能力。每个接收通道有4个级联的信号处理级：一个32位频率转换器(数控振荡器，简称为NCO)、一个可选的采样速率转换器、一个固定FIR滤波器和一个 $f_s/4$ 固定频率NCO。

除了配有接收机DDC，AD6649还具备其他功能，能够简化系统接收机的自动增益控制(AGC)。利用ADC的快速检测输出位，可编程阈值检测器可以监控输入信号功率。如果输入信号电平超过可编程阈值，快速检测指示器就会变为高。由于该阈值指示器的延迟极短，因此用户能够快速调低系统增益，从而避免ADC输入端出现超量程现象。

经过数字处理后，数据可以直接路由至14位输出端口，这些输出以ANSI或小摆幅LVDS信号电平工作。

AD6649接收机能够对很宽的中频频谱进行数字化处理。每个接收机均设计用来同时接收主通道和分集通道的信号。该IF采样架构与传统的模拟技术或较低集成度的数字

方法相比，能大幅度降低器件的成本和复杂度。在分集应用中，由于最终NCO将输出中心频率偏移到 $f_s/4$ ，因此输出数据格式为实数。

需要时，灵活的关断选项可以明显降低功耗。

设置与控制编程可以利用三线式SPI兼容型串行接口来完成。

AD6649采用64引脚LFCSP封装，额定温度范围为 -40°C 至 $+85^{\circ}\text{C}$ 工业温度范围。该产品受美国专利保护。

产品聚焦

1. 集成双通道、14位250 MSPS ADC。
2. 集成宽带滤波器和32位复数NCO。
3. 快速超量程和阈值检测。
4. 取得专利的差分输入在最高至400 MHz的输入频率下仍保持出色的信噪比(SNR)性能。
5. SYNC输入可在多个设备之间实现同步。
6. 三线式、1.8V SPI端口可用于寄存器编程和寄存器回读。

技术规格

ADC直流规格

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、VIN = -1.0 dBFS差分输入¹、1.75 V p-p满量程输入范围、占空比稳定器(DCS)使能、NCO使能、FIR滤波器使能。

表1.

参数	温度	最小值	典型值	最大值	单位
分辨率	全	14			位
精度			保证		
无失码	全				
失调误差	全			±10	mV
增益误差	全	-5.5		+2.5	%FSR
匹配特性					
失调误差	全			±13	mV
增益误差	全			±2.5	%FSR
温度漂移					
失调误差	全		±5		ppm/°C
增益误差	全		±100		ppm/°C
输入端参考噪声 VREF = 1.0 V	25°C		1.32		LSB rms
模拟输入					
输入范围	全		1.75		V p-p
输入电容 ²	全		2.5		pF
输入电阻 ³	全		20		kΩ
输入共模电压	全		0.9		V
电源					
电源电压					
AVDD	全	1.7	1.8	1.9	V
DRVDD	全	1.7	1.8	1.9	V
电源电流					
I _{AVDD} ⁴	全		271	275	mA
I _{DRVDD} ⁴ (固定频率NCO, 95 MHz FIR滤波器)	全		283	300	mA
I _{DRVDD} ⁴ (可调频率NCO, 100 MHz FIR滤波器)	全		375		mA
功耗					
正弦波输入(固定频率NCO, 95 MHz FIR滤波器)	全		997	1035	mW
正弦波输入(可调频率NCO, 100 MHz FIR滤波器)	全		1163		mW
待机功耗 ⁵	全		104		mW
关断模式功耗	全		10		mW

¹ 采用固定频率NCO和95 MHz FIR滤波器时，模拟输入端上-1.0 dBFS的输入电平对应于-2.5 dBFS的输出电平。采用可调频率NCO和100 MHz FIR滤波器时，输出电平为-1.3 dBFS。这些相应的输出电平下降是由FIR滤波器损耗引起的。详情见“FIR滤波器”部分。

² 输入电容指一个差分输入引脚与AGND之间的有效电容。

³ 输入电阻指一个差分输入引脚与其互补引脚之间的有效电阻。

⁴ 测量条件为：两个通道均采用185 MHz满量程正弦波输入且NCO频率为62.5 MHz ($f_s/4$)。

⁵ 待机功耗的测量条件为：直流输入且CLK引脚无动作(设为AVDD或AGND)。

ADC交流规格

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、VIN = -1.0 dBFS差分输入¹、1.75 V p-p满量程输入范围、DCS使能、NCO使能、FIR滤波器使能。

表2.

参数 ²	温度	最小值	典型值	最大值	单位
信噪比(SNR) ³					
$f_{IN} = 30$ MHz	25°C		74.5		dBFS
$f_{IN} = 90$ MHz	25°C		74.2		dBFS
$f_{IN} = 140$ MHz	25°C		73.9		dBFS
$f_{IN} = 185$ MHz	25°C		73.4		dBFS
	全	70.9			dBFS
$f_{IN} = 220$ MHz	25°C		72.9		dBFS
信纳比(SINAD)					
$f_{IN} = 30$ MHz	25°C		73.4		dBFS
$f_{IN} = 90$ MHz	25°C		73.0		dBFS
$f_{IN} = 140$ MHz	25°C		72.3		dBFS
$f_{IN} = 185$ MHz	25°C		71.7		dBFS
	全	68.7			dBFS
$f_{IN} = 220$ MHz	25°C		71.0		dBFS
最差的二次或三次谐波					
$f_{IN} = 30$ MHz	25°C		-92		dBc
$f_{IN} = 90$ MHz	25°C		-88		dBc
$f_{IN} = 140$ MHz	25°C		-85		dBc
$f_{IN} = 185$ MHz	25°C		-85		dBc
	全			-80	dBc
$f_{IN} = 220$ MHz	25°C		-89		dBc
无杂散动态范围(SFDR)					
$f_{IN} = 30$ MHz	25°C		92		dBc
$f_{IN} = 90$ MHz	25°C		88		dBc
$f_{IN} = 140$ MHz	25°C		85		dBc
$f_{IN} = 185$ MHz	25°C		85		dBc
	全	80			dBc
$f_{IN} = 220$ MHz	25°C		84		dBc
最差其它谐波或杂散					
$f_{IN} = 30$ MHz	25°C		-95		dBc
$f_{IN} = 90$ MHz	25°C		-94		dBc
$f_{IN} = 140$ MHz	25°C		-93		dBc
$f_{IN} = 185$ MHz	25°C		-93		dBc
	全			-80	dBc
$f_{IN} = 220$ MHz	25°C		-84		dBc
双音无杂散动态范围(SFDR)					
$f_{IN} = 184.12$ MHz, 187.12 MHz (-7 dBFS)	25°C		88		dBc
串扰 ⁴	全		95		dB
模拟输入带宽	25°C		1000		MHz

¹ 采用固定频率NCO和95 MHz FIR滤波器时，模拟输入端上-1.0 dBFS的输入电平对应于-2.5 dBFS的输出电平。采用可调频率NCO和100 MHz FIR滤波器时，输出电平为-1.3 dBFS。这些相应的输出电平下降是由FIR滤波器损耗引起的。详情见“FIR滤波器”部分。

² 如需了解完整的定义，请参阅应用笔记AN-835：“了解高速ADC测试和评估”。

³ SNR规格针对经过滤波的95 MHz带宽。

⁴ 串扰的测量条件：一个通道参数为-1 dBFS、100 MHz且另一个通道上无输入信号。

AD6649

数字规格

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、VIN = -1.0 dBFS 差分输入¹、1.0 V内部基准电压、DCS使能。

表3.

参数	温度	最小值	典型值	最大值	单位
差分时钟输入(CLK+、CLK-)		CMOS/LVDS/LVPECL			
逻辑兼容	全	0.9			V
内部共模偏置	全	0.3		3.6	V p-p
差分输入电压	全	AGND		AVDD	V
输入电压范围	全	0.9		1.4	V
输入共模范围	全	0.9		1.4	V
高电平输入电流	全	+10		+22	μA
低电平输入电流	全	-22		-10	μA
输入电容	全		4		pF
输入电阻	全	8	10	12	kΩ
同步输入		CMOS/LVDS			
逻辑兼容	全	0.9			V
内部偏置	全	AGND		AVDD	V
输入电压范围	全	AGND		AVDD	V
高电平输入电压	全	1.2		AVDD	V
低电平输入电压	全	AGND		0.6	V
高电平输入电流	全	-5		+5	μA
低电平输入电流	全	-5		+5	μA
输入电容	全		1		pF
输入电阻	全	12	16	20	kΩ
逻辑输入(CSB) ²					
高电平输入电压	全	1.22		2.1	V
低电平输入电压	全	0		0.6	V
高电平输入电流	全	-5		+5	μA
低电平输入电流	全	-80		-45	μA
输入电阻	全		26		kΩ
输入电容	全		2		pF
逻辑输入(SCLK) ³					
高电平输入电压	全	1.22		2.1	V
低电平输入电压	全	0		0.6	V
高电平输入电流	全	45		70	μA
低电平输入电流	全	-5		+5	μA
输入电阻	全		26		kΩ
输入电容	全		2		pF
逻辑输入/输出(SDIO) ²					
高电平输入电压	全	1.22		2.1	V
低电平输入电压	全	0		0.6	V
高电平输入电流	全	45		70	μA
低电平输入电流	全	-5		+5	μA
输入电阻	全		26		kΩ
输入电容	全		5		pF
逻辑输入(OEB、PDWN) ³					
高电平输入电压	全	1.22		2.1	V
低电平输入电压	全	0		0.6	V
高电平输入电流	全	45		70	μA
低电平输入电流	全	-5		+5	μA

参数	温度	最小值	典型值	最大值	单位
输入电阻	全		26		k Ω
输入电容	全		5		pF
数字输出					
FDA和FDB					
高电平输出电压					
$I_{OH} = 50 \mu A$	全	1.79			V
$I_{OH} = 0.5 mA$	全	1.75			V
低电平输出电压					
$I_{OL} = 1.6 mA$	全			0.2	V
$I_{OL} = 50 \mu A$	全			0.05	V
LVDS数据和OR输出					
差分输出电压(V_{OD}), ANSI模式	全	250	350	450	mV
输出偏移电压(V_{OS}), ANSI模式	全	1.15	1.22	1.35	V
差分输出电压(V_{OD}), 小摆幅模式	全	150	200	280	mV
输出偏移电压(V_{OS}), 小摆幅模式	全	1.15	1.22	1.35	V

¹ 采用固定频率NCO和95 MHz FIR滤波器时，模拟输入端上-1.0 dBFS的输入电平对应于-2.5 dBFS的输出电平。采用可调频率NCO和100 MHz FIR滤波器时，输出电平为-1.3 dBFS。这些相应的输出电平下降是由FIR滤波器损耗引起的。详情见“FIR滤波器”部分。

² 上拉。

³ 下拉。

AD6649

开关规格

表4.

参数	温度	最小值	典型值	最大值	单位
时钟输入参数					
输入时钟速率	全			625	MHz
转换速率 ¹	全	40		250	MSPS
时钟周期——分频模式(t_{CLK})	全	4.0			ns
时钟脉宽高电平(t_{CH})					
一分频模式, DCS使能	全	1.8	2.0	2.2	ns
一分频模式, DCS禁用	全	1.9	2.0	2.1	ns
三分频至八分频模式, DCS使能	全	0.8			ns
数据输出参数(DATA和OR)					
数据传播延迟(t_{PD})	全		4.8		ns
DCO传播延迟(t_{DCO})	全		5.5		ns
DCO至数据偏斜(t_{SKEW})	全	0.3	0.7	1.1	ns
流水线延迟——固定频率NCO, 95 MHz FIR滤波器(延迟)	全		23		周期
流水线延迟——可调频率NCO, 100 MHz FIR滤波器(延迟)	全		43		周期
孔径延迟(t_A)	全		1.0		ns
孔径不确定性(抖动, t_j)	全		0.1		ps rms
唤醒时间(待机)	全		10		μ s
唤醒时间(关断模式)	全		250		μ s
超范围恢复时间	全		3		周期

¹转换速率指分频之后的时钟速率。

时序规格

表5.

参数	条件	最小值	典型值	最大值	单位
同步时序要求					
t_{SSYNC}	SYNC至CLK上升沿建立时间		0.3		ns
t_{HSYNC}	SYNC至CLK上升沿保持时间		0.4		ns
SPI时序要求					
t_{DS}	数据与SCLK上升沿之间的建立时间	2			ns
t_{DH}	数据与SCLK上升沿之间的保持时间	2			ns
t_{CLK}	SCLK周期	40			ns
t_S	CSB与SCLK之间的建立时间	2			ns
t_H	CSB与SCLK之间的保持时间	2			ns
t_{HIGH}	SCLK应处于逻辑高电平状态的最短时间	10			ns
t_{LOW}	SCLK应处于逻辑低电平状态的最短时间	10			ns
t_{EN_SDIO}	相对于SCLK下降沿, SDIO引脚从输入状态切换到输出状态所需的时间	10			ns
t_{DIS_SDIO}	相对于SCLK上升沿, SDIO引脚从输出状态切换到输入状态所需的时间	10			ns

时序图

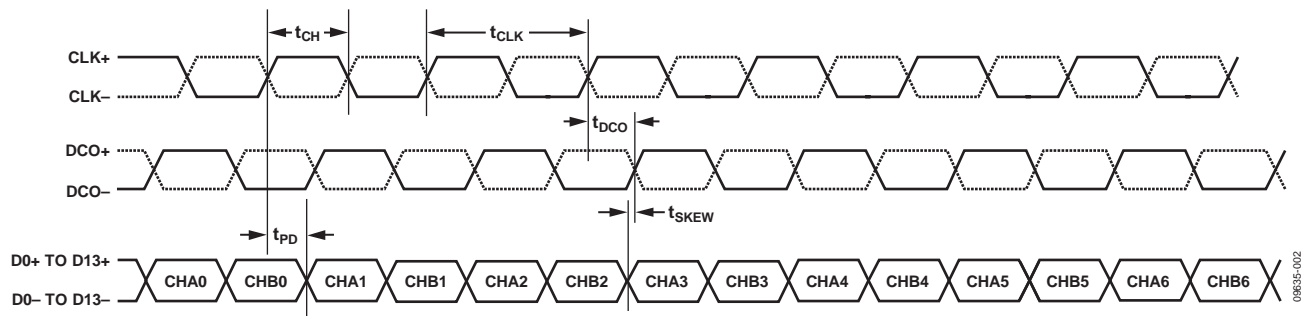


图2. 交错LVDS模式数据输出时序

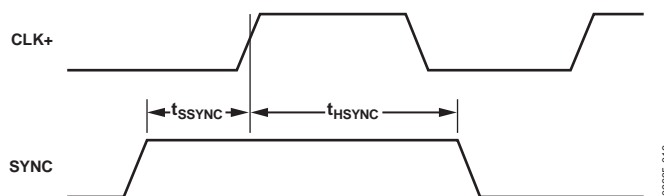


图3. 同步时序输入

绝对最大额定值

表6.

参数	额定值
电气参数	
AVDD至AGND	-0.3 V至+2.0 V
DRVDD至AGND	-0.3 V至+2.0 V
VIN+A/VIN+B、VIN-A/VIN-B至AGND	-0.3 V至AVDD + 0.2 V
CLK+、CLK-至AGND	-0.3 V至AVDD + 0.2 V
SYNC至AGND	-0.3 V至AVDD + 0.2 V
VCM至AGND	-0.3 V至AVDD + 0.2 V
CSB至AGND	-0.3 V至DRVDD + 0.3 V
SCLK至AGND	-0.3 V至DRVDD + 0.3 V
SDIO至AGND	-0.3 V至DRVDD + 0.3 V
OEB至AGND	-0.3 V至DRVDD + 0.3 V
PDWN至AGND	-0.3 V至DRVDD + 0.3 V
D0-/D0+至D13-/D13+至AGND	-0.3 V至DRVDD + 0.3 V
FDA/FDB至AGND	-0.3 V至DRVDD + 0.3 V
OR+/OR-至AGND	-0.3 V至DRVDD + 0.3 V
DCO+/DCO-至AGND	-0.3 V至DRVDD + 0.3 V
环境参数	
工作温度范围 (环境)	-40°C至+85°C
偏置条件下的最大结温	150°C
存储温度范围 (环境)	-65°C至+125°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热特性

LFCSP封装的裸露焊盘必须焊接到接地层。将裸露焊盘焊接到客户板上，可提高焊接可靠性，从而最大限度发挥封装的热性能。

表7. 热阻

封装类型	气流速度 (m/s)	$\theta_{JA}^{1,2}$	$\theta_{JC}^{1,3}$	$\theta_{JB}^{1,4}$	单位
64引脚LFCSP	0	26.8	1.14	10.4	°C/W
9 mm × 9 mm (CP-64-4)	1.0	21.6			°C/W
	2.0	20.2			°C/W

¹ 按照JEDEC 51-7，加上JEDEC 25-5 2S2P测试板。

² 按照JEDEC JESD51-2(静止空气)或JEDEC JESD51-6(流动空气)。

³ 按照MIL-Std 883、方法 1012.1。

⁴ 按照JEDEC JESD51-8(静止空气)。

θ_{JA} 典型值的测试条件为带实接地层的四层PCB。如表7所示，气流可改善散热，从而降低 θ_{JA} 。另外，直接与封装引脚接触的的金属，包括金属走线、通孔、接地层、电源层，可降低 θ_{JA} 。

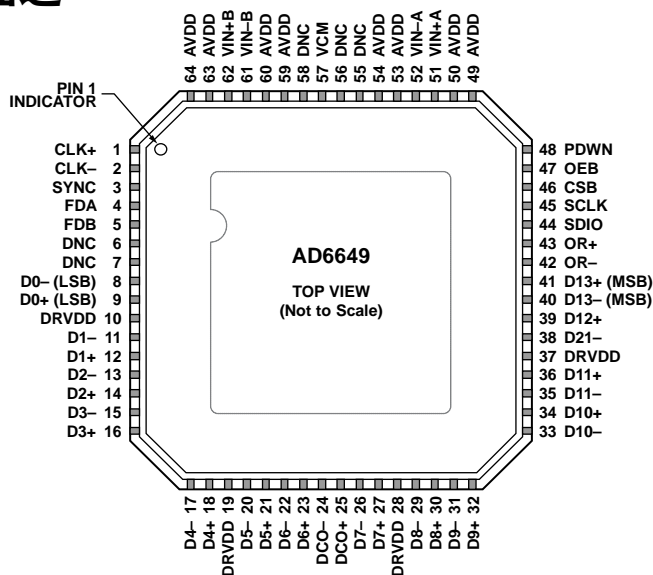
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES

1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN.
2. THE EXPOSED THERMAL PADDLE ON THE BOTTOM OF THE PACKAGE PROVIDES THE ANALOG GROUND FOR THE PART. THIS EXPOSED PADDLE MUST BE CONNECTED TO GROUND FOR PROPER OPERATION.

09635-004

图4. LFCSP交错并行LVDS引脚配置(俯视图)

表8. 引脚功能描述(交错并行LVDS模式)

引脚编号	引脚名称	类型	描述
ADC电源			
10, 19, 28, 37	DRVDD	电源	数字输出驱动器电源(标称值1.8 V)。
49, 50, 53, 54, 59, 60, 63, 64	AVDD	电源	模拟电源(标称值1.8 V)。
6, 7, 55, 56, 58	DNC		不连接。请勿连接该引脚。
0	AGND、 裸露焊盘	地	模拟地。封装底部的裸露热焊盘为器件提供模拟地。该焊盘必须与地相连，才能正常工作。
ADC模拟			
51	VIN+A	输入	通道A的差分模拟输入引脚(+)。
52	VIN-A	输入	通道A的差分模拟输入引脚(-)。
62	VIN+B	输入	通道B的差分模拟输入引脚(+)。
61	VIN-B	输入	通道B的差分模拟输入引脚(-)。
57	VCM	输出	模拟输入的共模电平偏置输出。该引脚应通过一个0.1 μ F电容去耦至地。
1	CLK+	输入	ADC时钟输入(+)
2	CLK-	输入	ADC时钟输入(-)。
ADC快速检测输出			
4	FDA	输出	通道A快速检测指示器(CMOS电平)。
5	FDB	输出	通道B快速检测指示器(CMOS电平)。
数字输入			
3	SYNC	输入	数字同步引脚。仅用于从机模式。
数字输出			
9	D0+ (LSB)	输出	通道A/通道B LVDS输出数据0(+)
8	D0- (LSB)	输出	通道A/通道B LVDS输出数据0(-)
12	D1+	输出	通道A/通道B LVDS输出数据1(+)
11	D1-	输出	通道A/通道B LVDS输出数据1(-)
14	D2+	输出	通道A/通道B LVDS输出数据2(+)
13	D2-	输出	通道A/通道B LVDS输出数据2(-)
16	D3+	输出	通道A/通道B LVDS输出数据3(+)

AD6649

引脚编号	引脚名称	类型	描述
15	D3-	输出	通道A/通道B LVDS输出数据3(-)。
18	D4+	输出	通道A/通道B LVDS输出数据4(+)
17	D4-	输出	通道A/通道B LVDS输出数据4(-)。
21	D5+	输出	通道A/通道B LVDS输出数据5(+)
20	D5-	输出	通道A/通道B LVDS输出数据5(-)。
23	D6+	输出	通道A/通道B LVDS输出数据6(+)
22	D6-	输出	通道A/通道B LVDS输出数据6(-)。
27	D7+	输出	通道A/通道B LVDS输出数据7(+)
26	D7-	输出	通道A/通道B LVDS输出数据7(-)。
30	D8+	输出	通道A/通道B LVDS输出数据8(+)
29	D8-	输出	通道A/通道B LVDS输出数据8(-)。
32	D9+	输出	通道A/通道B LVDS输出数据9(+)
31	D9-	输出	通道A/通道B LVDS输出数据9(-)。
34	D10+	输出	通道A/通道B LVDS输出数据10(+)
33	D10-	输出	通道A/通道B LVDS输出数据10(-)。
36	D11+	输出	通道A/通道B LVDS输出数据11(+)
35	D11-	输出	通道A/通道B LVDS输出数据11(-)。
39	D12+	输出	通道A/通道B LVDS输出数据12(+)
38	D12-	输出	通道A/通道B LVDS输出数据12(-)。
41	D13+ (MSB)	输出	通道A/通道B LVDS输出数据13(+)
40	D13- (MSB)	输出	通道A/通道B LVDS输出数据13(-)。
43	OR+	输出	通道A/通道B LVDS超量程(+)
42	OR-	输出	通道A/通道B LVDS超量程(-)。
25	DCO+	输出	通道A/通道B LVDS数据时钟输出(+)
24	DCO-	输出	通道A/通道B LVDS数据时钟输出(-)。
SPI控制			
45	SCLK	输入	SPI串行时钟。
44	SDIO	输入/输出	SPI串行数据输入/输出。
46	CSB	输入	SPI片选(低电平有效)。
输出使能和 关断			
47	OEB	输入/输出	输出使能输入(低电平有效)。
48	PDWN	输入/输出	关断输入(高电平有效)。该引脚的工作方式取决于SPI模式，并可配置为关断或待机(见表14)。

典型工作特性

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、采样速率 = 250 MSPS、DCS使能、1.75 V p-p差分输入、VIN = -1.0 dBFS、32k采样、 $T_A = 25^\circ\text{C}$ 、固定频率NCO、95 MHz BW FIR滤波器。如果第二、三谐波位于滤波器通频带之内，则在下面的FFT图中会有标注。采用固定频率NCO和95 MHz FIR滤波器时，模拟输入端上-1.0 dBFS的输入电平对应于-2.5 dBFS的输出电平。采用可调频率NCO和100 MHz FIR滤波器时，输出电平为-1.3 dBFS。这些相应的输出电平下降是由FIR滤波器损耗引起的。详情见“FIR滤波器”部分。

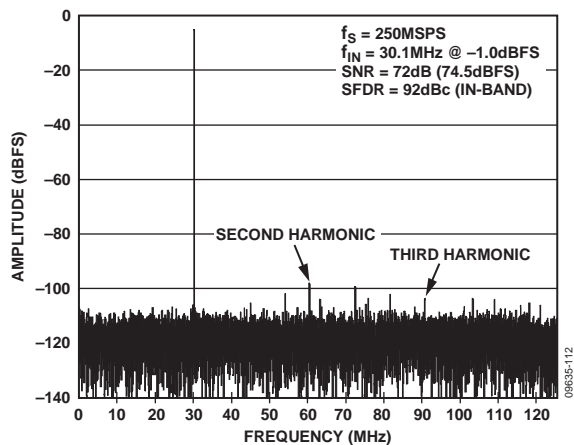


图5. AD6649单音FFT($f_{IN} = 30.1$ MHz)

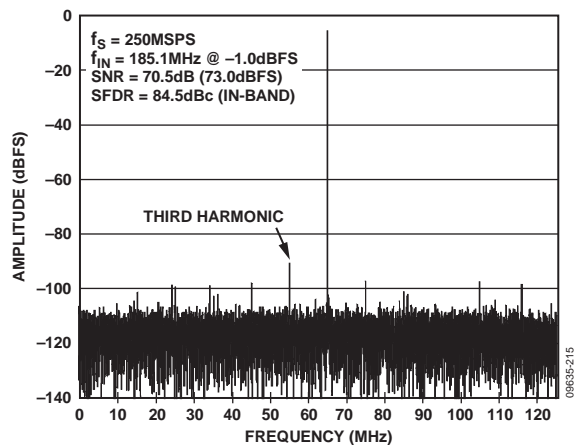


图8. AD6649单音FFT($f_{IN} = 185.1$ MHz)

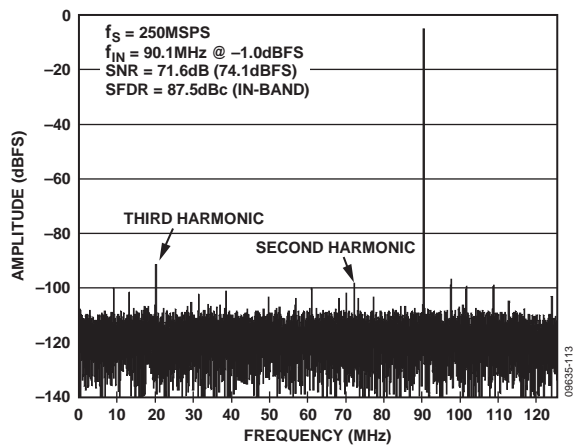


图6. AD6649单音FFT($f_{IN} = 90.1$ MHz)

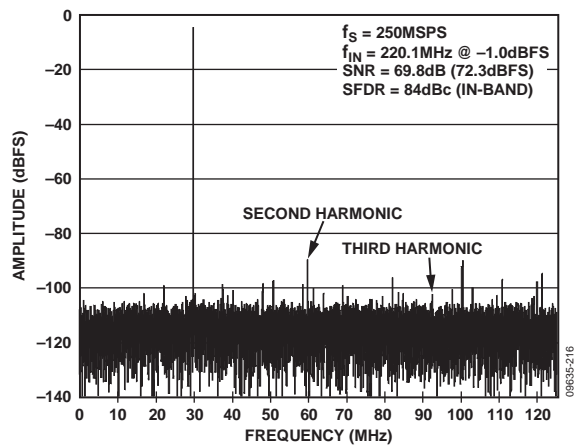


图9. AD6649单音FFT($f_{IN} = 220.1$ MHz)

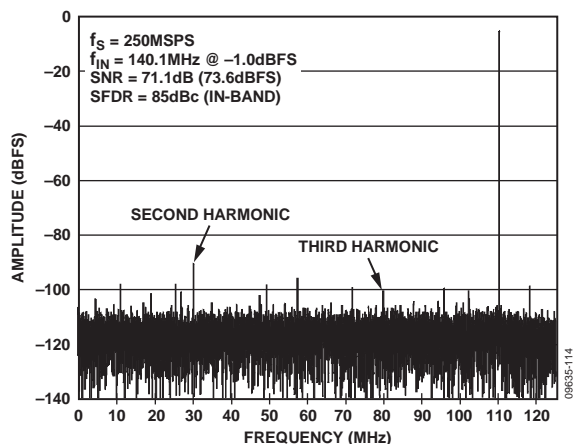


图7. AD6649单音FFT($f_{IN} = 140.1$ MHz)

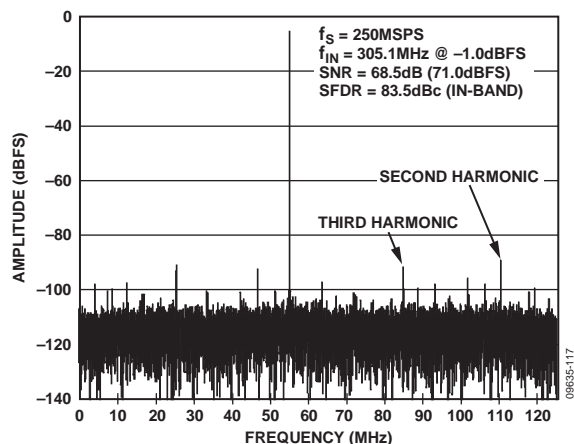


图10. AD6649单音FFT($f_{IN} = 305.1$ MHz)

AD6649

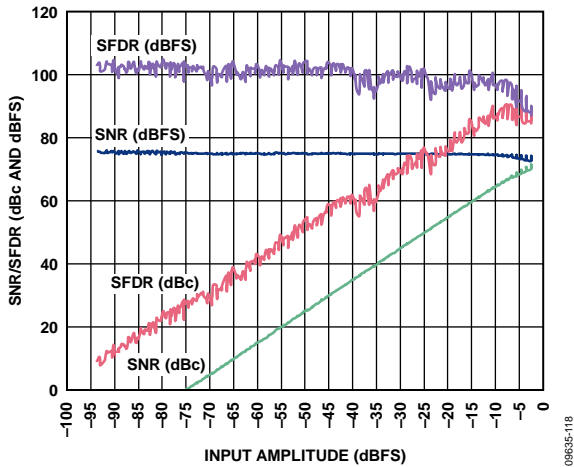


图11. AD6649单音SNR/SFDR与输入幅度(A_{IN})的关系($f_{IN} = 90.1 \text{ MHz}$)

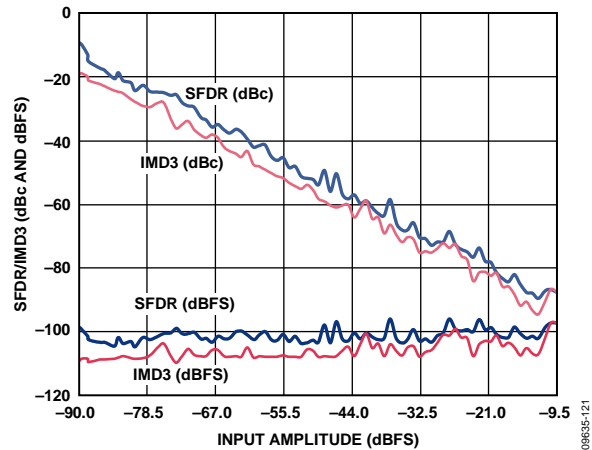


图14. AD6649双音SFDR/IMD3与输入幅度(A_{IN})的关系($f_{IN1} = 184.12 \text{ MHz}$, $f_{IN2} = 187.12 \text{ MHz}$, $f_s = 250 \text{ MSPS}$)

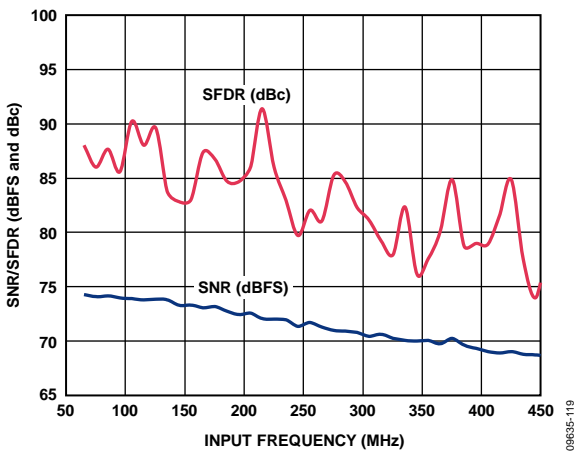


图12. AD6649单音SNR/SFDR与输入频率(f_{IN})的关系

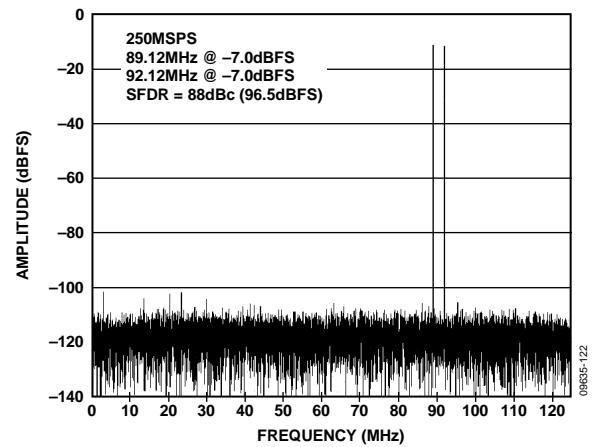


图15. AD6649双音FFT($f_{IN1} = 89.12 \text{ MHz}$, $f_{IN2} = 92.12 \text{ MHz}$, $f_s = 250 \text{ MSPS}$)

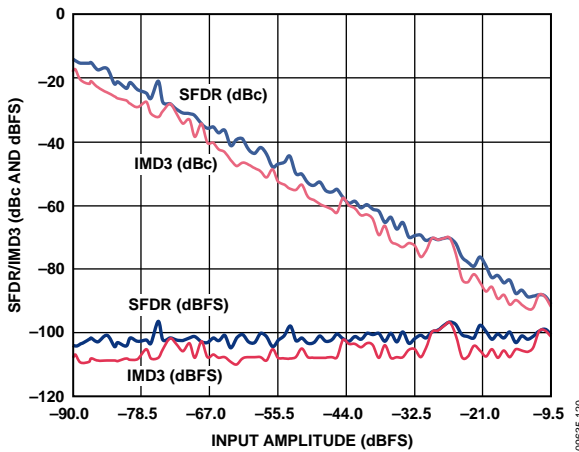


图13. AD6649双音SFDR/IMD3与输入幅度(A_{IN})的关系($f_{IN1} = 89.12 \text{ MHz}$, $f_{IN2} = 92.12 \text{ MHz}$, $f_s = 250 \text{ MSPS}$)

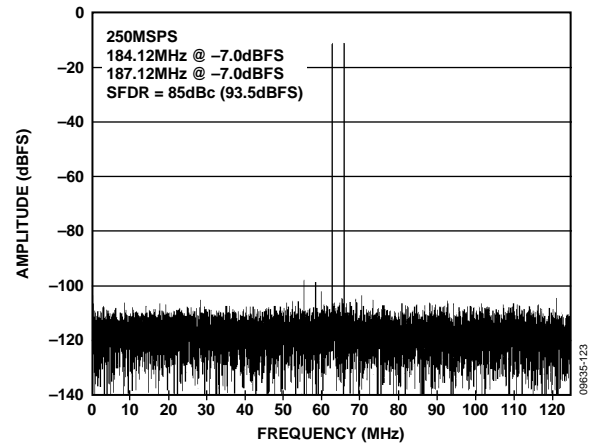


图16. AD6649双音FFT($f_{IN1} = 184.12 \text{ MHz}$, $f_{IN2} = 187.12 \text{ MHz}$, $f_s = 250 \text{ MSPS}$)

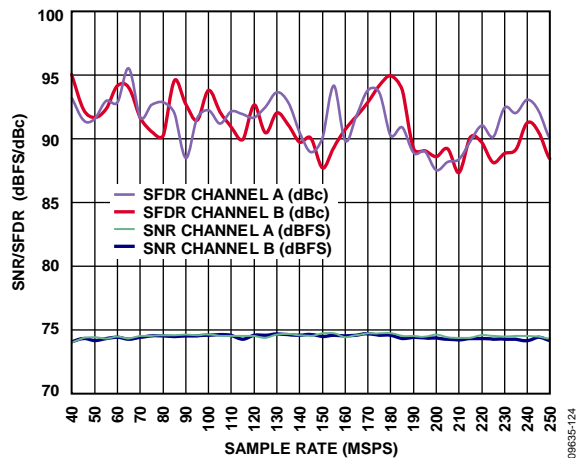


图17. AD6649单音SNR/SFDR与采样速率(f_s)的关系
($f_{IN} = 90.1 \text{ MHz}$)

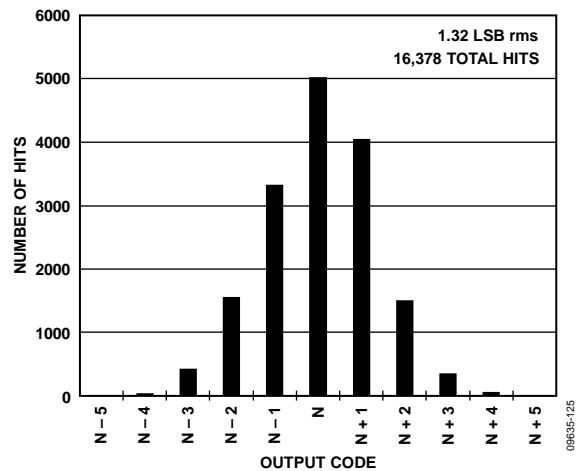


图18. AD6649接地输入直方图

等效电路

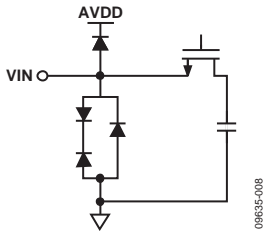


图19. 等效模拟输入电路

09635-008

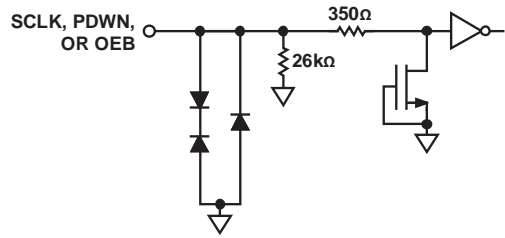


图23. 等效SCLK、PDWN或OEB输入电路

09635-012

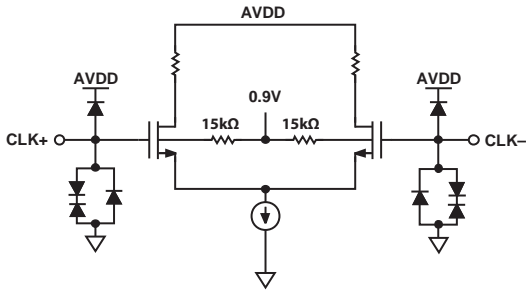


图20. 等效时钟输入电路

09635-009

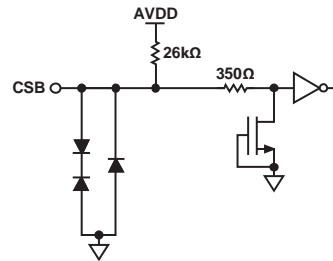


图24. 等效CSB输入电路

09635-014

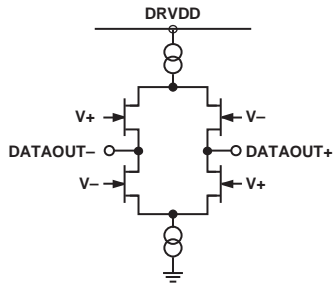


图21. 等效LVDS输出电路

09635-010

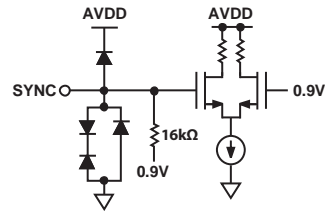


图25. 等效SYNC输入电路

09635-025

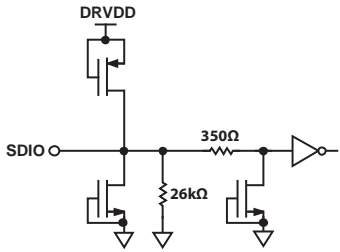


图22. 等效SDIO电路

09635-011

工作原理

AD6649具有两个模拟输入通道、两个滤波器通道和两个数字输出通道。中频(IF)输入信号需要经过多级的滤波和选择性地抽取处理，才能成为出现在输出端的数字信号。

双ADC设计可用于信号分集接收；两个ADC以相同方式处理来自两个独立天线的相同载波。另外，两个ADC还可处理相互独立的模拟输入信号。用户能够借助ADC输入端的低通滤波器或带通滤波器，对从直流到300 MHz频率范围内的信号进行采样，且不会明显降低ADC的性能。ADC可对400 MHz模拟输入信号进行处理，但这会加大ADC的噪声和失真。

同步功能用于多个器件之间的同步定时。

借助一个三线型SPI兼容的串行接口，可对AD6649进行编程和控制。

ADC架构

AD6649架构由一个双前端采样保持电路和其后的流水线型开关电容ADC组成。各个级的量化输出组合在一起，在数字校正逻辑中最终形成一个14位转换结果。流水线结构允许第一级处理新的输入采样点，而其它级继续处理之前的采样点。采样在时钟的上升沿进行。

除最后一级以外，流水线的每一级都包括一个低分辨率Flash型ADC、一个开关电容数模转换器(DAC)和一个级间余量放大器(MDAC)。MDAC用于放大重构DAC输出与闪存型输入之间的差，以用于流水线的下一级。为了便于实现Flash误差的数字校正，每一级设定了1位的冗余量。最后一级仅由一个闪存型ADC组成。

每个通道的输入级包含一个差分采样电路，可在差分或单端模式下完成交流耦合或直流耦合。输出级模块能够实现数据对准、错误校正，且能将数据传输到输出缓冲器。输出缓冲器需要单独供电，以便将数字输出噪声与模拟内核隔离。在掉电期间，输出缓冲器进入高阻态。

模拟输入考虑

AD6649的模拟输入端是一个差分开关电容电路，其处理差分输入信号的性能极佳。

输入根据时钟信号，在采样模式和保持模式之间切换(参见图26所示配置)。当输入切换到采样模式时，信号源必

须能够对采样电容充电，且在半个时钟周期内完成建立。

每个输入端都串联一个小电阻，可以降低驱动源输出级所需的峰值瞬态电流。在两个输入端之间可配置一个并联电容，以提供动态充电电流。此无源网络能在ADC输入端形成低通滤波器；因此，模数转换的精度取决于应用。

在中频(IF)欠采样应用中，需要去掉并联电容。因为并联电容与驱动源阻抗共同作用，会限制输入带宽。关于此话题的更多信息，请参阅[应用笔记AN-742](#)“开关电容ADC的频域响应”、[应用笔记AN-827](#)“放大器与开关电容ADC接口的谐振匹配方法”和模拟对话文章“用于宽带模数转换器的变压器耦合前端”。

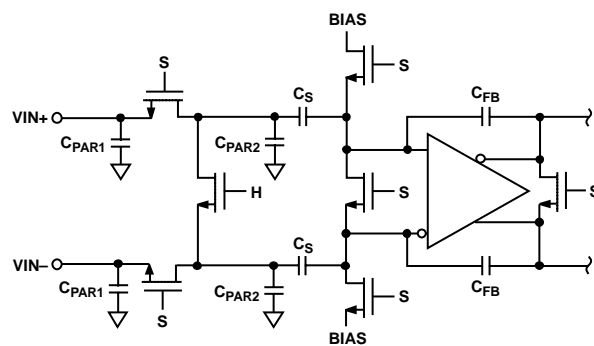


图26. 开关电容输入

为得到最佳动态性能，必须保证驱动VIN+的源阻抗与驱动VIN-的源阻抗相匹配，并且使两输入保持差分平衡。

输入共模

AD6649的模拟输入端无内部直流偏置。在交流耦合应用中，用户必须提供外部偏置。为了获得最佳性能，建议该器件设置为 $V_{CM} = 0.5 \times AVDD$ (或0.9 V)。芯片通过VCM引脚提供板上共模基准电压。建议使用VCM输出来设置输入共模。通过VCM引脚提供模拟输入共模电压(典型值为 $0.5 \times AVDD$)时，可实现芯片的最佳性能。必须用一个 $0.1 \mu\text{F}$ 电容对VCM引脚去耦到地，如“应用信息”部分所述。该去耦电容应靠近该引脚，以便将该器件和该电容之间的串联电阻和电感降至最低。

AD6649

差分输入配置

通过差分输入配置驱动AD6649时，可实现芯片的最佳性能。在基带应用中，AD8138、ADA4937-2、ADA4938-2和ADA4930-2差分驱动器能够为ADC提供出色的性能和灵活的接口。

通过AD6649的VCM引脚，可以方便地设置ADA4930-2的输出共模电压(见图27)；驱动器可以配置为Sallen-Key滤波器拓扑电路结构，从而对输入信号进行带宽限制。

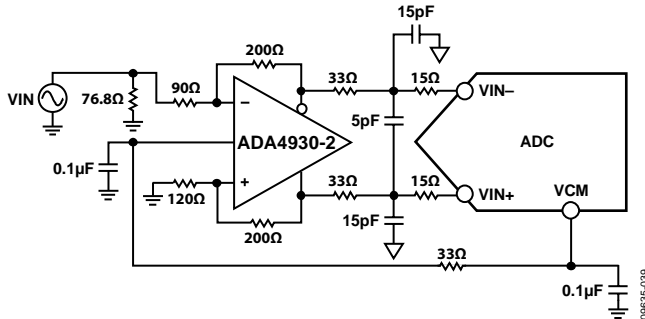


图27. 利用ADA4930-2进行差分输入配置

在SNR为关键参数的基带应用中，建议使用的输入配置是差分变压器耦合，如图28的示例。为实现模拟输入偏置，须将VCM电压连接到至变压器次级绕组的中心抽头处。

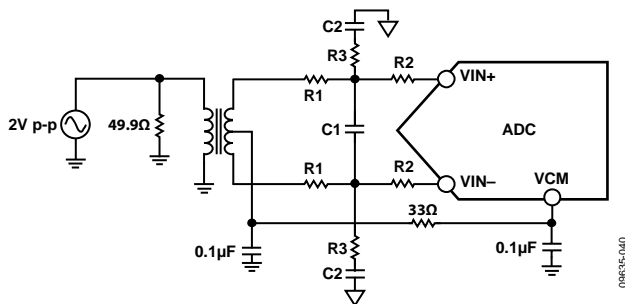


图28. 差分变压器耦合配置

选择变压器时，必需考虑其信号特性。大多数射频变压器在工作频率低于几兆赫兹时，产生饱和现象。信号功率过大也可导致磁芯饱和，从而导致失真。

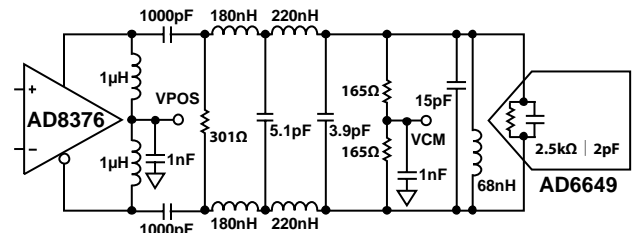
当输入频率处于第二或更高奈奎斯特区域时，大多数放大器的噪声性能无法满足要求以达到AD6649真正的SNR性能。在SNR为关键参数的应用中，建议使用的输入配置是差分双巴伦耦合(见图30)。在这种配置中，输入交流耦合，CML通过一个33Ω电阻提供给各输入。这些电阻补偿输入巴伦的损耗，向驱动器提供50Ω阻抗。

在双巴伦和变压器配置中，输入电容和电阻的值取决于输入频率和源阻抗。根据这些参数，可能需要调整输入电阻和电容的值，或者可能需要移除一些元件。表9列出了不同输入频率范围下设置RC网络的建议值。不过，这些值取决于输入信号和带宽，且只能用作初始参考。请注意，表9给出的值针对图28和图30中显示的各个R1、R2、C2和R3元件。

表9. RC网络示例

频率范围 (MHz)	串联电阻 R1 (Ω)	差分电容 C1 (pF)	串联电阻 R2 (Ω)	并联电容 C2 (pF)	并联电阻 R3 (Ω)
0至100	33	8.2	0	15	49.9
100至250	15	3.9	0	8.2	49.9

频率在第二奈奎斯特区域内的时候，除了使用变压器耦合输入外，还可以使用带可变增益放大器。数字可变增益放大器(DVGA) AD8375或AD8376具备驱动AD6649所需的良好性能。图29显示了一个由AD8376通过一个带通抗混叠滤波器驱动AD6649的例子。



NOTES

1. ALL INDUCTORS ARE COILCRAFT® 0603CS COMPONENTS WITH THE EXCEPTION OF THE 1μH CHOKE INDUCTORS (COILCRAFT 0603LS).
2. FILTER VALUES SHOWN ARE FOR A 20MHz BANDWIDTH FILTER CENTERED AT 140MHz.

图29. 利用AD8376进行差分输入配置

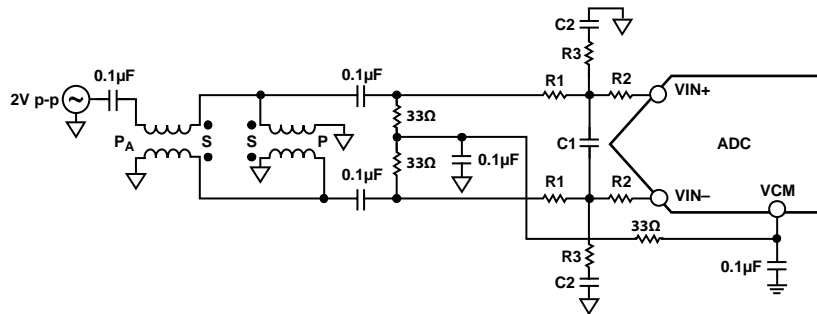


图30. 差分双巴伦输入配置

基准电压源

AD6649内置稳定、精确的基准电压源。通过改变籍由SPI施加的基准电压，可以调整满量程输入范围。ADC输入范围跟随基准电压呈线性变化。

时钟输入考虑

为了充分发挥芯片的性能，应利用一个差分信号作为AD6649采样时钟输入端(CLK+和CLK-)的时钟信号。该信号通常使用变压器或电容器交流耦合到CLK+和CLK-引脚内。CLK+和CLK-引脚有内部偏置(见图31)，无需外部偏置。如果这些输入悬空，应将CLK-引脚拉低以防止杂散时钟。

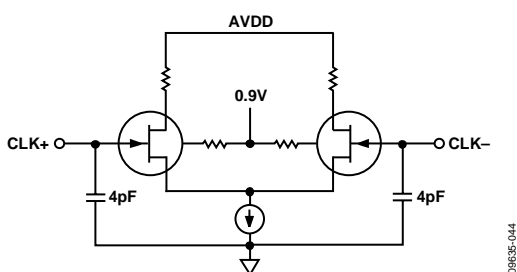


图31. 简化的等效时钟输入电路

时钟输入选项

AD6649的时钟输入结构非常灵活。CMOS、LVDS、LVPECL或正弦波信号均可作为其时钟输入信号。无论采用哪种信号，都必须考虑到时钟源抖动(见“抖动考虑”部分说明)。

图32和图33显示两种为AD6649提供时钟信号的首选方法(时钟速率可达625 MHz)。利用射频巴伦或射频变压器，可将低抖动时钟源的单端信号转换成差分信号。

对于125 MHz至625 MHz的时钟频率，建议采用射频巴伦配置；对于10 MHz至200 MHz的时钟频率，建议采用射频变压器配置。跨接在变压器次级上的背对背肖特基二极管可以将输入到AD6649中的时钟信号限制为约差分0.8 V p-p。这样，既可以防止时钟的大电压摆幅馈通至AD6649的其它部分，还可以保留信号的快速上升和下降时间，这一点对于低抖动性能来说非常重要。

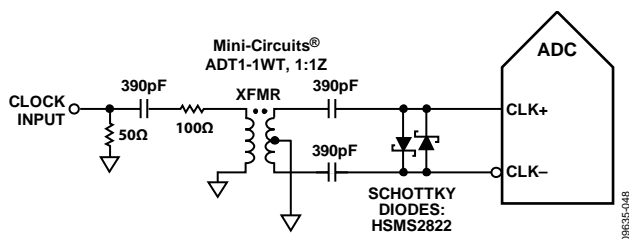


图32. 变压器耦合差分时钟(频率可达200 MHz)

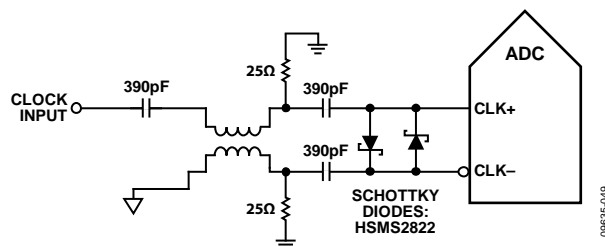


图33. 巴伦耦合差分时钟(频率可达625 MHz)

如果没有低抖动的时钟源，那么，另一种方法是将差分PECL信号交流耦合至采样时钟输入引脚(如图34所示)。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516/AD9517/AD9518/AD9520/AD9522/AD9523/AD9524和ADCLK905/ADCLK907/ADCLK925时钟驱动器具有出色的抖动性能。

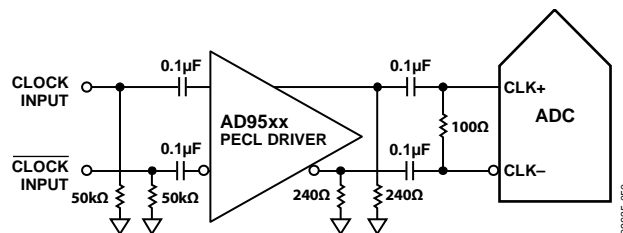


图34. 差分PECL采样时钟(频率可达625 MHz)

第三种方法是将差分LVDS信号交流耦合至采样时钟输入引脚(如图35所示)。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516/AD9517/AD9518/AD9520/AD9522/AD9523/AD9524时钟驱动器具有出色的抖动性能。

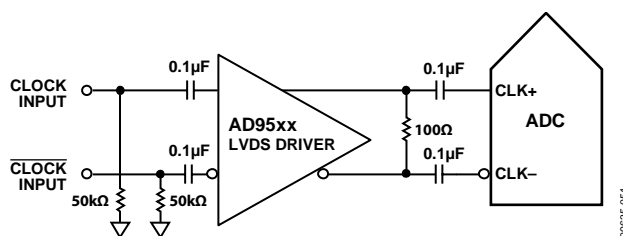


图35. 差分LVDS采样时钟(频率可达625 MHz)

输入时钟分频器

AD6649内置一个输入时钟分频器，可对输入时钟进行1至8整数倍分频。占空比稳定器(DCS)上电时默认使能。

利用外部SYNC输入信号，可同步AD6649时钟分频器。通过对寄存器0x3A的位1和位2进行写操作，可以设置每次收到SYNC信号或者仅第一次收到SYNC信号后，对时钟分频器再同步。有效SYNC可使分频器复位至初始状态。该同步特性可让多个器件的时钟分频器对准，从而保证同时进行输入采样。

时钟占空比

典型的高速ADC利用两个时钟边沿产生不同的内部定时信号，因此，它对时钟占空比非常敏感。通常，为保持ADC的动态性能，时钟占空比容差应为±5%。

AD6649内置一个占空比稳定器(DCS)，可对非采样边沿(下降沿)进行重新定时，并提供标称占空比为50%的内部时钟信号。因此，用户可提供的时钟输入占空比范围非常广，且不会影响AD6649的性能。

输入时钟上升沿的抖动依然非常重要，且无法借助占空比稳定器降低这种抖动。当时钟速率低于40 MHz(标称值)时，占空比控制环路没有作为。当时钟速率产生动态变化时，必须考虑与环路相关的时间常量。在DCS环路重新锁定输入信号前，都需要等待1.5 μs至5 μs的时间。在环路处于非锁定状态时，DCS环路被旁路，内部器件定时取决于输入时钟信号的占空比。在此类应用中，建议禁用占空比稳定器。在所有其它应用中，建议使能DCS电路，以便获得最佳交流性能。

抖动考虑

高速、高分辨率ADC对时钟输入信号的质量非常敏感。在给定的输入频率(f_{IN})下，由于抖动(t_j)造成的信噪比(SNR)下降计算公式如下：

$$SNR_{HF} = -10 \log[(2\pi \times f_{IN} \times t_{jRMS})^2 + 10^{(SNR_{LF}/10)}]$$

公式中，均方根孔径抖动表示所有抖动源(包括时钟输入信号和模拟输入信号和ADC孔径抖动规格)的均方根。中频欠采样应用对抖动尤其敏感(如图36所示)。

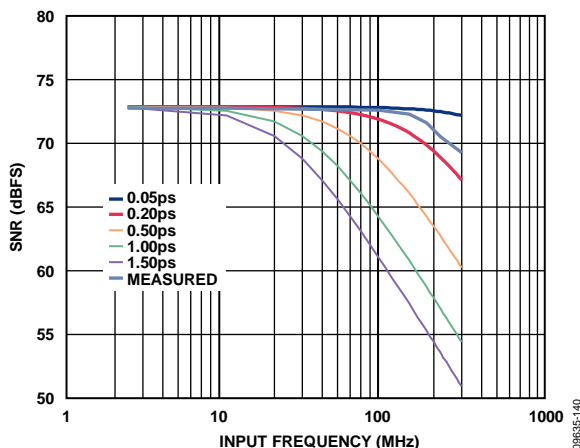


图36. 信噪比(95 MHz BW)与输入频率和抖动的关系

当孔径抖动可能影响AD6649的动态范围时，应将时钟输入信号视为模拟信号。时钟驱动器电源应与ADC输出驱动器电源分离，以免在时钟信号内混入数字噪声。低抖动的

晶体控制振荡器可提供最佳时钟源。如果时钟信号来自其它类型的时钟源(通过门控、分频或其它方法)，则需要最后在一步中利用原始时钟进行重定时。

如需了解更多与ADC相关的抖动性能信息，请参阅[应用笔记AN-501“孔径不确定性与ADC系统性能”](#)和[应用笔记AN-756“采样系统与时钟相位噪声和抖动的影响”](#)。

功耗和待机模式

如图37所示，AD6649的功耗与其采样速率成比例关系。图37中的数据采用与测量典型性能特性相同的工作条件得出。

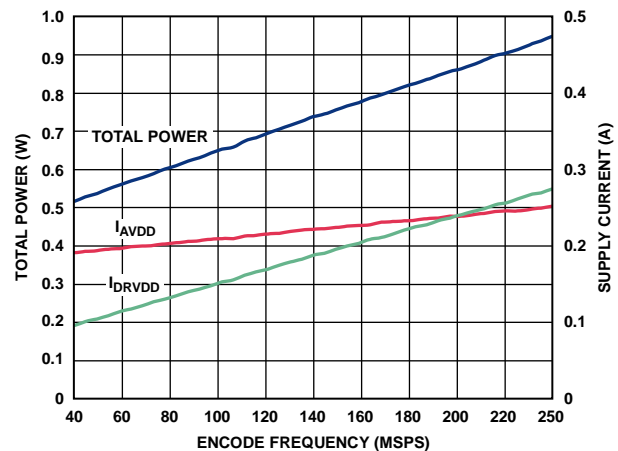


图37. AD6649功率和电流与采样速率的关系

置位PDWN(通过SPI端口或将PDWN引脚置位高电平)，可使AD6649进入关断模式。在这种状态下，ADC的典型功耗为10 mW。在关断模式下，输出驱动器处于高阻抗状态。将PDWN引脚置位低电平后，AD6649返回正常工作模式。注意，PDWN以数据输出驱动器电源电压(DRVDD)为基准，且不得高于该电压。

在关断模式下，通过关闭基准电压、基准电压缓冲器、偏置网络以及时钟，可实现低功耗。进入低调电模式时，内部电容放电；返回正常工作模式时，内部电容必须重新充电。因此，唤醒时间与处于关断模式的时间有关；处于关断模式的时间越短，则相应的唤醒时间越短。

使用SPI端口接口时，用户可将ADC置于关断模式或待机模式。如需较短的唤醒时间，可以使用待机模式，该模式下内部基准电压电路处于通电状态。欲了解更多信息，请参阅“存储器映射寄存器描述”部分或[应用笔记AN-877“通过SPI与高速ADC接口”](#)。

数字输出

使用一个1.8 V DRVDD电源，可将AD6649输出配置用于ANSI LVDS或低电压驱动LVDS。

如应用笔记AN-877“通过SPI与高速ADC接口”中所述，在SPI控制模式下，数据的输出格式可选择偏移二进制、二进制补码或格雷码。

数据输出使能功能(OEB)

AD6649的数字输出引脚具有灵活的三态功能。三态模式通过OEB引脚或SPI接口使能。若OEB引脚处于低电平状态，则使能输出数据驱动器。若OEB引脚处于高电平状态，则将输出数据驱动器置于高阻态。OEB功能不适用于快速访问数据总线。注意，OEB以数据输出驱动器电源电压(DRVDD)为基准，且不得高于该电压。

使用SPI接口时，通过寄存器0x14的位4(输出使能位)，可以独立设置每个通道的数据和快速检测输出的三态。由于输出数据格式是交错式的，如果只禁用了两个通道中的一个，剩余通道的数据会在输出时钟上升和下降周期内重复。

表10. 输出数据格式

输入(V)	VIN+ – VIN–, 输入范围 = 1.75 V p-p (V)	偏移二进制输出模式	二进制补码模式(默认)	OR
VIN+ – VIN–	<-0.875	00 0000 0000 0000	10 0000 0000 0000	1
VIN+ – VIN–	-0.875	00 0000 0000 0000	10 0000 0000 0000	0
VIN+ – VIN–	0	10 0000 0000 0000	00 0000 0000 0000	0
VIN+ – VIN–	+0.875	11 1111 1111 1111	01 1111 1111 1111	0
VIN+ – VIN–	>+0.875	11 1111 1111 1111	01 1111 1111 1111	1

时序

AD6649提供流水线延迟为23或43个输入采样时钟周期的锁存数据，具体取决于工作模式。在经过时钟信号上升沿后的一个传播延迟时间(t_{PD})之后，产生输出数据。

为降低AD6649内的瞬时现象，应尽可能缩短输出数据线的长度并降低输出负载。瞬时现象可降低转换器的动态性能。

AD6649的典型最低转换速率为40 MSPS。当时钟速率低于40 MSPS时，芯片的动态性能会有所下降。

数据时钟输出(DCO)

此外，AD6649还提供数据时钟输出(DCO)，用于采样外部寄存器中的数据。图2为AD6649输出模式时序图。

超量程(OR)

AD6649输入端检测到超量程时，超量程指示器将置位。超量程条件在流水线ADC输出端确定；因此，需要10个ADC时钟周期延迟。当输入端发生超量程10个时钟周期后，该位可指示超量程。

数字处理

AD6649内置一个数字处理模块，可提供信号滤波。该数字处理模块由一个数控振荡器(NCO)、一个可选择的FIR滤波器(高性能或低延迟)和一个辅助粗调NCO(固定频率为 $f_s/4$)组成，用于转换输出频率(复数信号至实信号)。这些子模块有多种配置方式，可以实现不同的信号处理功能。有关AD6649的功能框图，参见图1。

数控振荡器(NCO)

利用两个通道之间共享的NCO可实现频率转换。可以通过使能片上幅度和相位扰动功能改善NCO的噪声和杂散性能。

由于滤波会造成部分奈奎斯特频谱不能使用，因此，需要一种机制，将采样输入频谱转换为抽取滤波器可用的频率范围。32位调谐复数NCO可实现这一功能。该NCO/混频器可将输入频谱调整为直流信号，由后面的滤波器对其进行有效滤波，防止信号混叠。

使用低延迟FIR时，NCO必须调节至 $f_s/4(0x40000000)$ 。这样可以防止无用混叠信号回到目标频段内。

NCO和FIR滤波器模式

NCO和FIR模块支持两种工作模式，具体取决于应用的带宽和延迟要求。这些模块的两种模式如表11所示。

表11. 信号路径模式

模式	FIR	245.76 MSPS时的输出带宽
固定频率NCO, 95 MHz FIR滤波器	低延迟 (默认)	95 MHz
可调频率NCO, 100 MHz FIR滤波器	高性能	99.5 MHz

两个固定系数FIR滤波器提供滤波功能。可以选择低延迟FIR或高性能FIR。它可以消除负频率镜像，避免在输出的实信号中混入负频率信号。图38、图39和图40显示了使用固定频率NCO和95 MHz FIR滤波器且采样速率为245.76 MSPS时，95 MHz带宽信号通过滤波器级的连续变化情况。可以改用可调频率NCO并采用类似工作方式。在这些模式下，假定采样速率为245.76 MSPS，输出的中心频率为61.44 MHz。

$f_s/4$ 固定频率NCO

固定频率($f_s/4$) NCO用于将经滤波、抽取后的信号从直流转换成频率为 $f_s/4$ 的信号，从而产生实信号输出。由于不支持从器件产生复数输出，因此所有工作模式下都需要 $f_s/4$ NCO。

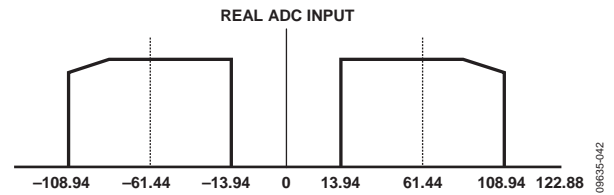


图38. AD6649 95 MHz带宽输入实信号示例
(中心频率: 61.44 MHz, $f_{ADC} = 245.76$ MHz)

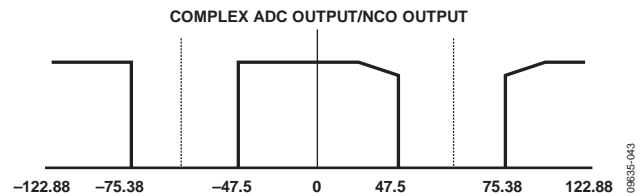


图39. 利用NCO将AD6649 95 MHz带宽输入信号调谐至DC的示例(NCO频率为61.44 MHz)

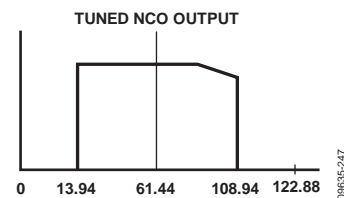


图40. 将AD6649 95 MHz带宽输出信号调谐至 $f_s/4$ 的示例(NCO频率为61.44 MHz)

数控振荡器(NCO)

频率转换

该处理模块包含一个由32位复数数控振荡器 (NCO)构成的数字调谐器。该NCO始终使能。NCO模块可以接受来自ADC级的输入实信号，并将其转换成频移复数(I、Q)输出信号。

可以利用寄存器0x52至寄存器0x55来设置NCO频率。这4个8位寄存器组成一个32位无符号频率编程字。下列频率字代表-CLK/2和+CLK/2之间的频率值：

- 0x80000000代表-CLK/2指定频率；
- 0x00000000代表直流频率(0 Hz)；
- 0x7FFFFFFF代表CLK/2 - CLK/2³²。

NCO频率的计算公式如下：

$$NCO_FREQ = 2^{32} \times \frac{Mod(f, f_{CLK})}{f_{CLK}}$$

其中：

NCO_FREQ 是代表NCO频率寄存器的32位二进制补码数值。

f 是所需的载波频率，单位为赫兹。

f_{CLK} 是AD6649 ADC时钟速率，单位为赫兹。

NCO同步

借助外部SYNC输入信号，可实现单个器件内或多个器件的AD6649 NCO同步。通过对寄存器0x58的位0和位1进行写操作，可以选择每次收到SYNC信号或仅第一次收到SYNC信号后，对NCO进行再同步。有效的SYNC信号可控制NCO从所编程的相移值处重新启动。

NCO幅度抖动与相位扰动

NCO模块具有幅度和相位扰动功能，可改善杂散性能。幅度扰动可在NCO的角度至笛卡尔转换中使幅度量误差随机化，从而改善性能。该选项可以降低杂散，但噪底会略有上升。使能幅度扰动功能时，NCO的SNR大于93 dB，SFDR大于115 dB。禁用幅度扰动功能时，SNR会升高到96 dB以上，但SFDR性能会降至100 dB。建议使能NCO幅度和相位扰动功能，方法是将寄存器0x51的位1和位2置1。

FIR滤波器

可以使用两种类型的FIR滤波器，即47抽头、高性能、固定系数FIR滤波器或21抽头、低延迟、固定系数FIR滤波器。这些滤波器非常有用，能在器件输出端提供混叠抑制。高性能FIR是一种简单的47抽头、21位固定系数、乘积和FIR滤波器。注意，该滤波器不提供抽取功能。表12中列出了本方案所用的归一化系数和相应的十进制值。

表12. 高性能FIR滤波器系数

系数号	归一化系数	十进制系数 (21位)
C0, C46	-0.0001335	-140
C1, C45	-0.0009689	-1016
C2, C44	-0.0024185	-2536
C3, C43	-0.0019341	-2028
C4, C42	0.0023584	2473
C5, C41	0.0051260	5375
C6, C40	-0.0009680	-1015
C7, C39	-0.0086231	-9042
C8, C38	-0.0011368	-1192
C9, C37	0.0142097	14900
C10, C36	0.0064697	6784
C11, C35	-0.0207596	-21768
C12, C34	-0.0161047	-16887
C13, C33	0.0274601	28794
C14, C32	0.0310631	32572
C15, C31	-0.0348339	-36526
C16, C30	-0.0557785	-58488
C17, C29	0.0415993	43620
C18, C28	0.0986786	103472
C19, C27	-0.0463982	-48652
C20, C26	-0.1893501	-198548
C21, C25	0.0505829	53040
C22, C24	0.6113434	641040
C23	0.9171314	961682

FIR同步

借助外部SYNC输入信号，可实现单个器件内或多个器件的AD6649滤波器同步。滤波器可以配置为每次收到SYNC信号时再同步，或者仅在写入SPI控制寄存器后第一次收到SYNC信号时进行再同步。有效的同步信号可控制FIR滤波器从所编程的抽取相位值处重新启动。通过对寄存器0x58的位4和位5进行写操作，可以选择每次收到SYNC信号或仅第一次收到SYNC信号后，对FIR进行再同步。

滤波器性能

使用固定频率NCO和95 MHz FIR滤波器时，输出速率等于采样时钟速率。该模式的复合响应如图41所示。该模式的通带响应细节如图42所示。要将器件置于该模式，请设置

SPI寄存器0x50至0xB0。在该模式下，NCO频率必须为 $f_s/4$ ，且寄存器0x5A的低延迟NCO选择位(位0)必须置1。必须注意，使用低延迟FIR滤波器时，模拟输入端上-1.0 dBFS的输入电平对应于-2.5 dBFS的输出电平。输出电平下降是因为该模式下FIR滤波器存在-1.5 dB的通带衰减，不过并不会影响转换器的动态范围性能。

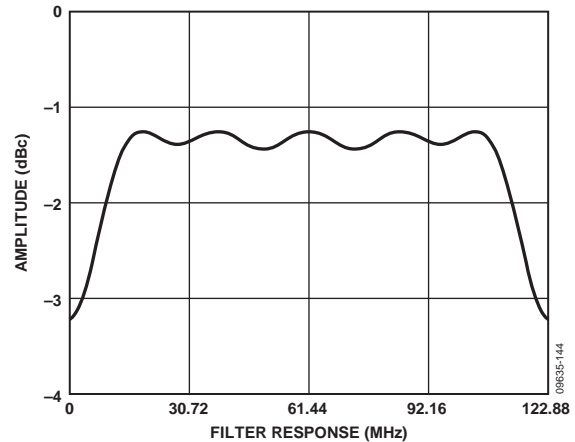


图41. 245.76 MSPS时的低延迟FIR滤波器复合响应
(固定频率NCO, 95 MHz FIR滤波器模式)

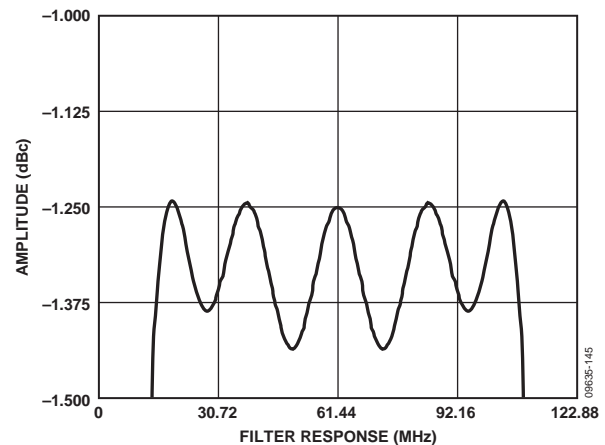


图42. 245.76 MSPS时的低延迟FIR滤波器通带响应
(固定频率NCO, 95 MHz FIR滤波器模式)

使用可调频率NCO和100 MHz FIR滤波器时，输出速率等于采样时钟速率。高性能FIR滤波器的响应情况如图43所示。该模式的通带响应细节如图44所示。要将器件置于该模式，请设置SPI寄存器0x50至0xA0。使用高性能FIR滤波器时，模拟输入端上-1.0 dBFS的输入电平对应于-1.3 dBFS的输出电平。这是因为该模式下FIR滤波器存在-0.3 dB的通带衰减，不过并不会影响转换器的动态范围性能。

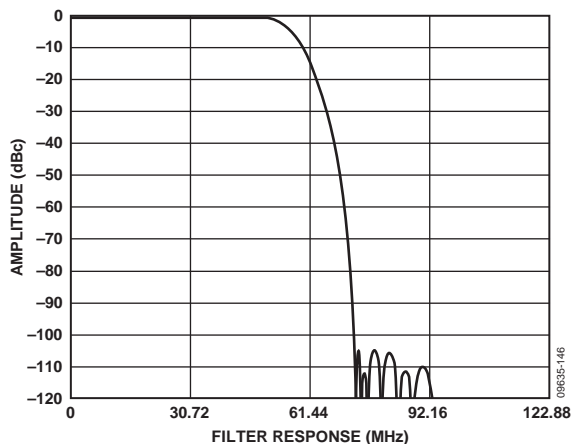


图43. 245.76 MSPS时的高性能FIR滤波器通带响应
(可调频率NCO, 100 MHz FIR滤波器)

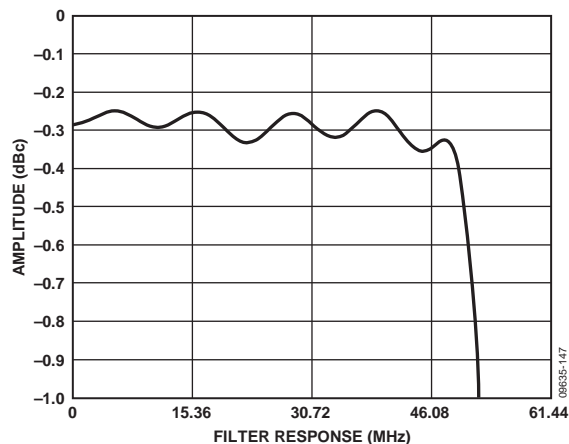


图44. 245.76 MSPS时的高性能FIR滤波器通带响应
(可调频率NCO, 100 MHz FIR滤波器)

输出NCONCO

32位微调NCO的输出数据是复数信号；通常其中心频率接近直流。该复数输出经95 MHz或100 MHz FIR滤波器处理，可提供恰当的抗混叠滤波。最终的NCO可从将复数输出信号从直流频率搬移，从而使AD6649输出实信号。输出NCO将直流输出信号转换成频率为输出频率四分之一($f_s/4$)的信号。这样，用户可得到中心频率为 $f_s/4$ 的输出信号。

借助外部SYNC输入信号，可实现单个器件内或多个器件的AD6649输出NCO同步。通过对寄存器0x58的位7和位6进行写操作，可以选择每次收到SYNC信号或仅第一次收到SYNC信号后，对输出NCO进行再同步。

ADC超量程与增益控制

在接收机应用中，需要一种可靠的机制，能够决定转换器何时发生箝位。标准的溢出指示器能够为模拟输入状态提供延迟信息，因而在防止箝位方面作用有限。因此，最好可以设定低于满量程的可编程阈值，以便在发生前降低增益。另外，由于输入信号的压摆率可能非常高，因此该功能的延迟时间很关键。

利用SPI端口，用户可设置使FD输出有效的阈值。利用SPI寄存器0x45的位0，用户可以选择该阈值电平。只要信号低于选定阈值，FD输出即会保持低电平状态。在该模式下，计算时需要考虑数据的大小，但无需考虑数据的符号。阈值检测以相同的方式处理那些超出期望范围(幅度)的正、负信号。

ADC超量程(OR)

ADC输入端检测到超量程时，ADC超量程指示器将置位。超量程条件在ADC流水线输出端确定；因此，需要7个ADC时钟周期延迟。当输入端发生超量程7个时钟周期后，该位可指示超量程。

增益开关

AD6649内置电路，可满足存在大动态范围或采用增益范围放大器应用的需要。该电路允许设置数字阈值，从而可以对阈值上限和下限进行编程。

其中一个用途是检测特定输入条件下，何时ADC将达到满量程。最终目的是提供一个指示器，以快速插入衰减器，防止ADC过驱。

快速阈值检测(FDA和FDB)

当输入信号幅度超过快速检测阈值上限寄存器(寄存器0x47、0x48)的设置值时，FD指示器置位。选定阈值寄存器的值与ADC输出的信号幅度进行比较。快速阈值上限检测具有4个时钟周期的延迟。阈值上限幅度由如下公式定义：

$$\begin{aligned} \text{阈值上限幅度(dBFS)} \\ &= 20 \log(\text{阈值幅度}/2^{13}) \end{aligned}$$

在信号降至阈值下限以下且保持时间超过设定的驻留时间之前，FD指示器不会清零。阈值下限在快速检测阈值下限寄存器(寄存器0x49、0x4A)中进行设置。15位快速检测阈值下限寄存器的值与ADC输出的信号幅度进行比较。比较受ADC流水线延迟的控制；比较精度取决于转换器分辨率。阈值下限幅度由如下公式定义：

$$\begin{aligned} \text{阈值下限幅度(dBFS)} \\ &= 20 \log(\text{阈值幅度}/2^{13}) \end{aligned}$$

驻留时间可以在1至65,535个采样时钟周期范围内设置，方法是将所需值写入快速检测驻留时间寄存器(寄存器0x4B、0x4C)。

阈值上限和下限寄存器工作以及驻留时间的情况如图45所示。

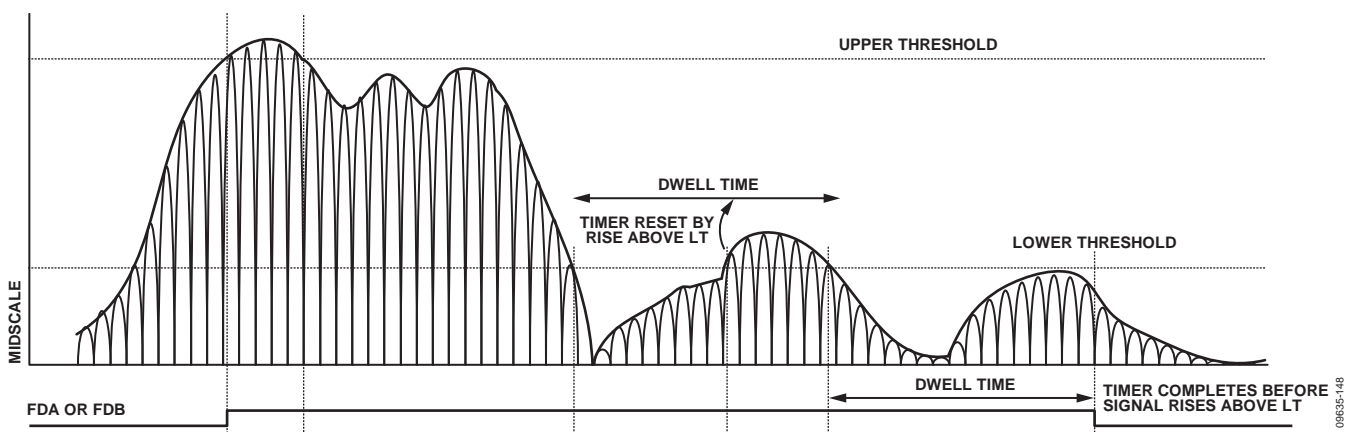


图45. FDA和FDB信号的阈值设置

直流校正

由于ADC的直流偏置可能比所测信号大得多，因此，测量功率前，应利用直流校正电路消除直流偏置。此外，直流校正电路还可以切换至主信号通路；但如果ADC正在对带有大量直流电流的时变信号(例如：GSM)进行数字转换时，则不建议进行切换。

直流校正带宽

直流校正电路是一个可编程带宽高通滤波器，其带宽范围为0.29 Hz至2.387 kHz通过对4位直流校正带宽选择寄存器(寄存器0x40的位[5:2])进行写操作，可以控制带宽。下面的公式可计算直流校正电路的带宽值：

$$DC_Corr_BW = 2^{k/14} \times \frac{f_{CLK}}{2 \times \pi}$$

其中：

k 是寄存器0x40的位[5:2]中设置的4位值(0和13之间的值对 k 有效；设置14或15与设置13效果相同)。

f_{CLK} 是AD6649 ADC采样速率，单位为赫兹。

直流校正回读

各通道的直流校正可在寄存器0x41和寄存器0x42中回读。直流校正值为16位值，可以达到整个ADC输入范围。

直流校正冻结

将寄存器0x40的位6置1可在当前状态下冻结直流校正，并继续将最近一次更新值用作直流校正。清除该位，可重新开始直流校正，并将当前计算值与数据相加。

直流校正使能位

将寄存器0x40的位1置1可以使能直流校正功能，以便用于输出数据信号路径。

通道/芯片同步

AD6649有一个同步(SYNC)输入端，允许用户通过灵活的同步选项实现内部模块同步。SYNC特性可保证多个ADC同步运行。利用SYNC输入可以实现输入时钟分频器、NCO、FIR滤波器和输出 $f_s/4$ NCO同步。通过将寄存器0x58中的相应位置1，可以使能各模块，以便在第一次或每次出现SYNC信号时进行同步。

SYNC输入信号在内部与采样时钟同步，但为避免多个器件之间出现时序不确定性，SYNC输入信号应与输入时钟信号同步。SYNC输入信号应由单端CMOS型信号驱动。

如果使用寄存器0x59的位1，SYNC输入可以设置为电平敏感模式或边沿敏感模式。如果将SYNC输入设置为边沿敏感模式，可以使用寄存器0x59的位0来确定是使用上升沿还是下降沿。写入寄存器0x59的设置仅适用于FIR滤波器和NCO。

串行端口接口(SPI)

AD6649串行端口接口(SPI)允许用户利用ADC内部的一个结构化寄存器空间来配置转换器，以满足特定功能和操作的需要。SPI具有灵活性，可根据具体的应用进行定制。通过串行端口，可访问地址空间、对地址空间进行读写。存储空间以字节为单位进行组织，并且能进一步划分成多个区域。各个区域的说明见“存储器映射”部分。如需了解详细操作信息，请参阅[应用笔记AN-877](#)“通过SPI与高速ADC接口”。

使用SPI的配置

该ADC的SPI由三部分组成：SCLK引脚、SDIO引脚和CSB引脚(见表13)。SCLK(串行时钟)引脚用于同步从ADC读出的数据和写入ADC的数据。SDIO(串行数据输入/输出)引脚是一个双功能引脚，可通过此引脚将数据发送至内部ADC存储器映射寄存器或从该寄存器中读出数据。CSB(片选信号)引脚是低电平有效控制引脚，它能够使能或者禁用读写周期。

表13. 串行端口接口引脚

引脚	功能
SCLK	串行时钟。串行移位时钟输入，用来同步串行接口的读、写操作。
SDIO	串行数据输入/输出。双功能引脚；通常用作输入或输出，取决于发送的指令和时序帧中的相对位置。
CSB	片选信号。低电平有效控制信号，用来选通读写周期。

CSB的下降沿与SCLK的上升沿共同决定帧的开始。图46为串行时序图范例，相应的定义见表5。

CSB可以在多种模式下工作。CSB可始终维持在低电平状态，从而使器件一直处于使能状态；这称作流。CSB可以在字节之间停留在高电平，这样可以允许其他外部时序。CSB引脚拉高时，SPI功能处于高阻抗模式。在该模式下，可以开启SPI引脚的第二功能。

在一个指令周期内，传输一条16位指令。在指令传输后将进行数据传输，数据长度由W0位和W1位共同决定。

所有数据均由8位字组成。串行数据的每个字节的第一位表示发出的是读命令还是写命令。这样，就能将串行数据输入/输出(SDIO)引脚的数据传输方向设置为输入或输出。

除了字长，指令周期还决定串行帧是读操作指令还是写操作指令，从而通过串行端口对芯片编程或读取片上存储器内的数据。如果指令是回读操作，则执行回读操作会使串行数据输入/输出(SDIO)引脚的数据传输方向，在串行帧的一定位置由输入改为输出。

数据可通过MSB优先模式或LSB优先模式发送。芯片上电后，默认采用MSB优先的方式，可以通过SPI端口配置寄存器来更改数据发送方式。如需了解更多关于该特性及其它特性的信息，请参阅[应用笔记AN-877](#)“通过SPI与高速ADC接口”。

硬件接口

表13中所描述的引脚包括用户编程器件与AD6649的串行端口之间的物理接口。当使用SPI接口时，SCLK引脚和CSB引脚用作输入引脚。SDIO引脚是双向引脚，在写入阶段，用作输入引脚；在回读阶段，用作输出引脚。

SPI接口非常灵活，FPGA或微控制器均可控制该接口。[应用笔记AN-812](#)“基于微控制器的串行端口接口(SPI)启动电路”中详细介绍了一种SPI配置方法。

当需要转换器充分发挥其全动态性能时，应禁用SPI端口。通常SCLK信号、CSB信号和SDIO信号与ADC时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线，则可能需要在该总线与AD6649之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

AD6649

SPI访问特性

表14简要说明了可通过SPI访问的一般特性。如需详细了解这些特性，请参阅应用笔记AN-877“通过SPI与高速ADC接口”。AD6649特定器件特性详见“存储器映射寄存器描述”部分。

表14. 可通过SPI访问的特性

特性名称	描述
模式	允许用户设置关断模式或待机模式
时钟	允许用户通过SPI访问DCS
失调	允许用户以数字方式调整转换器失调
测试I/O	允许用户设置测试模式，以便在输出位上获得已知数据
输出模式	允许用户设置输出
输出相位	允许用户设置输出时钟极性
输出延迟	允许用户改变DCO延迟
VREF	允许用户设置基准电压
数字处理	允许用户使能NCO、FIR滤波器和同步功能

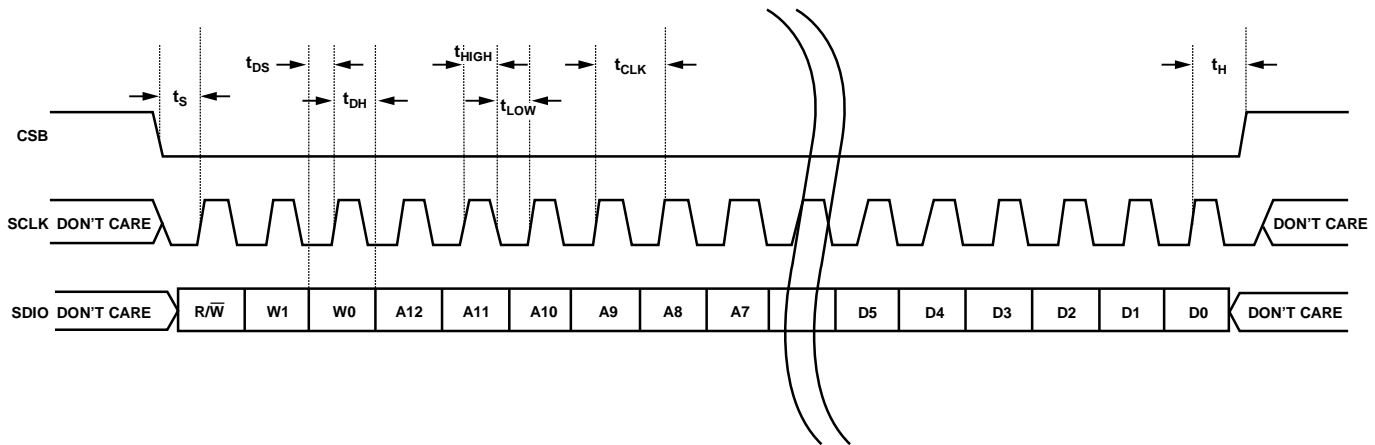


图46. 串行端口接口时序图

06136-079

存储器映射

读取存储器映射寄存器表

存储器映射寄存器表的每一行有8位。存储器映射大致分为四个部分：芯片配置寄存器(地址0x00至地址0x02)；通道索引和传送寄存器(地址0x05和地址0xFF)；ADC功能寄存器，包括设置寄存器、控制寄存器和测试寄存器(地址0x08至地址0x3A)；以及数字特性控制寄存器(地址0x40至地址0x5A)。

存储器映射寄存器表(见表15)记录了每个十六进制地址及其十六进制默认值。位7(MSB)栏为给定十六进制默认值的起始位。例如，输出模式寄存器(地址0x14)的十六进制默认值为0x05。这表明，位0 = 1，而其余位均为0。该设置是默认输出格式值，为二进制补码。如需了解更多关于该功能及其它功能的信息，请参阅应用笔记AN-877“通过SPI与高速ADC接口”。该文档详细描述了寄存器0x00至寄存器0x25控制的功能。“存储器映射寄存器描述”部分还介绍了其它寄存器(寄存器0x3A至寄存器0x5A)。

禁用位置和保留位置

此器件目前不支持表15中未包括的所有地址和位。有效地址中未使用的位应写为0。在该地址(例如：地址0x18)仅有部分位处于禁用状态时，才可以对这些位置进行写操作。如果整个地址(例如：地址0x13)均禁用，则不应对该地址进行写操作。

默认值

AD6649复位后，将向关键寄存器内载入默认值。表15(存储器映像寄存器表)内列出了各寄存器的默认值。

逻辑电平

以下是逻辑电平的术语说明：

- “置位”指将某位设置为逻辑1或向某位写入逻辑1。
- “清除位”指将某位设置为逻辑0或向某位写入逻辑0。

传送寄存器映射

地址0x08至地址0x20、地址0x3A、地址0x40至地址0x42、地址0x45至0x4C和地址0x50至地址0x5A被屏蔽。因此，向这些地址进行写操作不会影响器件运行，除非向地址0xFF写入0x01，设置了传输位，从而发出了传输命令。这样，设置传输位时，就可以在内部同时更新这些寄存器。设置传输位时，内部进行更新，然后传输位自动清零。

特定通道寄存器

可通过编程分别为每个通道设置某些通道功能(例如：信号监控阈值)。在这些情况下，可在内部为每个通道复制通道地址位置。这些寄存器及相应的局部寄存器位，见表15。通过设置寄存器0x05的通道A位或通道B位，可访问这些局部寄存器及相应位。如果这两个位均置位，后续写操作将影响两个通道的寄存器。在一个读周期内，仅允许将一个通道位(通道A位或通道B位)置位，以便对其中的一个或两个寄存器执行读操作。如果在一个SPI读周期内置位两个通道位，则器件返回通道A的值。表15给出的全局寄存器及相应位会影响整个器件和通道的特性，不允许分别设置每个通道。寄存器0x05中的设置不影响全局寄存器及相应位的值。

AD6649

存储器映射寄存器表

此器件目前不支持表15中未包括的所有地址和位。

表 15. 存储器映射寄存器

地址 (十六 进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六 进制)	默认值 注释
芯片配置寄存器											
0x00	SPI端口 配置 (全局) ¹	0	LSB优先	软复位	1	1	软复位	LSB优先	0	0x18	半字节之间 是 镜像 关 系, 使得无 论在何种移 位模式下, LSB优先或 MSB优先模 式寄存器均 能正确记录 数据。
0x01	芯片ID (全局)	8位芯片ID[7:0] (AD6649 = 0xA1) (默认)								0xA1	只读。
0x02	芯片等级 (全局)	禁用	禁用	速度等级ID 00 = 250 MSPS		禁用	禁用	禁用	禁用		
通道索引和传送寄存器											
0x05	通道索引 (全局)	禁用	禁用	禁用	禁用	禁用	禁用	ADC B (默认)	ADC A (默认)	0x03	设置这些位 以决定片内 何器件接收 下一个写命 令; 仅适用 于局部寄存 器。
0xFF	传送 (全局)	禁用	禁用	禁用	禁用	禁用	禁用	禁用	传送	0x00	从主移位寄 存器向从移 位寄存器同 步 传 输 数 据。
ADC功能											
0x08	功耗模式 (局部)	禁用	禁用	外部关断 引脚功能 (局部) 0 = 关断 1 = 待机	禁用	禁用	禁用	内部关断模式(局 部) 00 = 正常工作 01 = 完全关断 10 = 待机 11 = 保留		0x00	决定芯片的 一般工作模 式。
0x09	全局时钟 (全局)	禁用	禁用	禁用	禁用	禁用	禁用	禁用	占空比 稳定器 (默认)	0x01	
0x0B	时钟分频 (全局)	禁用	禁用	输入时钟分频器相位调整 000 = 无延迟 001 = 1输入时钟周期 010 = 2输入时钟周期 011 = 3输入时钟周期 100 = 4输入时钟周期 101 = 5输入时钟周期 110 = 6输入时钟周期 111 = 7输入时钟周期			时钟分频比 000 = 1分频 001 = 2分频 010 = 3分频 011 = 4分频 100 = 5分频 101 = 6分频 110 = 7分频 111 = 8分频		0x00	000以外的 时钟分频值 会使占空比 稳定器自动 启用。	

地址 (十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六进制)	默认值 注释
0x0D	测试模式 (局部)	用户测试模式控制 0 = 连续/ 重复模式 1 = 单一 模式, 然后为0	禁用	产生复位Z PN长序列	产生复位 PN短序列		输出测试模式 0000 = 关(默认) 0001 = 中间电平短路 0010 = 正FS 0011 = 负FS 0100 = 交替棋盘形式 0101 = PN长序列 0110 = PN短序列 0111 = 1/0字反转 1000 = 用户测试模式 1001至1110 = 未用 1111 = 斜坡输出			0x00	设置此寄存器后, 测试数据将取代正常数据被置于输出引脚上。
0x0E	BIST使能 (局部)	禁用	禁用	禁用	禁用	禁用	复位BIST 序列	禁用	BIST使能	0x00	
0x10	失调调整 (局部)	禁用	禁用	失调调整以LSB为单位, 从+31到-32 (二进制补码格式)						0x00	
0x14	输出模式	禁用	禁用	禁用	输出使能 (局部)	禁用	输出反转 (局部) 1 = 正常 (默认) 0 = 反相	输出格式 00 = 偏移二进制 01 = 二进制补码 (默认) 10 = 格雷码 11 = 保留(局部)		0x05	配置输出和数据格式。
0x15	输出调整 (全局)	禁用	禁用	禁用	禁用	LVDS输出驱动电流调整 0000 = 3.72 mA输出驱动电流 0001 = 3.5 mA输出驱动电流(默认) 0010 = 3.30 mA输出驱动电流 0011 = 2.96 mA输出驱动电流 0100 = 2.82 mA输出驱动电流 0101 = 2.57 mA输出驱动电流 0110 = 2.27 mA输出驱动电流 0111 = 2.0 mA输出驱动电流(缩小范围) 1000至1111 = 保留				0x01	
0x16	时钟相位 控制 (全局)	反转 DCO时钟	禁用	禁用	禁用	禁用	禁用	禁用	禁用	0x00	
0x17	DCO输出 延迟(全局)	使能 DCO 时钟 延迟	禁用	禁用	DCO时钟延迟 [延迟 = (3100 ps × 寄存器值/31 + 100)] 00000 = 100 ps 00001 = 200 ps 00010 = 300 ps ... 11110 = 3100 ps 11111 = 3200 ps				0x00		
0x18	输入范围 选择(全局)	禁用	禁用	禁用	满量程输入电压选择 01111 = 2.087 V p-p ... 00001 = 1.772 V p-p 00000 = 1.75 V p-p(默认) 11111 = 1.727 V p-p ... 10000 = 1.383 V p-p				0x00	满量程输入调整, 步进为0.022V。	
0x19	用户测试码 1 LSB (全局)	用户测试码1[7:0]								0x00	
0x1A	用户测试码 1 MSB (全局)	用户测试码1[15:8]								0x00	
0x1B	用户测试码 2 LSB (全局)	用户测试码2[7:0]								0x00	
0x1C	用户测试码 2 MSB (全局)	用户测试码2[15:8]								0x00	
0x1D	用户测试码 3 LSB (全局)	用户测试码3[7:0]								0x00	
0x1E	用户测试码 3 MSB (全局)	用户测试码3[15:8]								0x00	

AD6649

地址 (十六 进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六 进制)	默认值 注释
0x1F	用户测试码 4 LSB (全局)	用户测试码4[7:0]								0x00	
0x20	用户测试码 4 MSB (全局)	用户测试码4[15:8]								0x00	
0x24	BIST签名 LSB(局部)	BIST签名[7:0]								0x00	只读。
0x25	BIST签名 MSB(局部)	BIST签名[15:8]								0x00	只读。
0x3A	同步控制 (全局)	禁用	禁用	禁用	禁用	禁用	时钟分频 器仅与下 一同步脉 冲同步	时钟分频 器同步使 能	主机同步缓 冲器使能	0x00	
数字特性控制寄存器											
0x40	直流校正控制 (局部)	禁用	直流校正 冻结	直流校正带宽选择 0000 = 2387.32 Hz 0001 = 1193.66 Hz 0010 = 596.83 Hz 0011 = 298.42 Hz 0100 = 149.21 Hz 0101 = 74.60 Hz 0110 = 37.30 Hz 0111 = 18.65 Hz 1000 = 9.33 Hz 1001 = 4.66 Hz 1010 = 2.33 Hz 1011 = 1.17 Hz 1100 = 0.58 Hz 1101 = 0.29 Hz 1110 = 保留 1111 = 保留				直流校正 使能	禁用	0x00	
0x41	直流校正 值0(局部)	直流校正[7:0]									只读。
0x42	直流校正 值1(局部)	直流校正[15:8]									只读。
0x45	快速检测 控制 (局部)	禁用	禁用	禁用	禁用	强制FD输 出使能	强制FD输 出值	保留	使能快速 检测输出	0x00	
0x47	快速检测 阈值上限 0(局部)	快速检测阈值上限[7:0]								0x00	
0x48	快速检测 阈值上限 1(局部)	禁用	禁用	禁用	快速检测阈值上限[12:8]				0x00		
0x49	快速检测 阈值下限 0(局部)	快速检测阈值下限[7:0]								0x00	
0x4A	快速检测 阈值下限 1(局部)	禁用	禁用	禁用	快速检测阈值下限[12:8]				0x00		
0x4B	快速检测 驻留时间 0(局部)	快速检测驻留时间[7:0]								0x00	
0x4C	快速检测 驻留时间 1(局部)	快速检测驻留时间[15:8]								0x00	
0x50	滤波器控制 (局部)	1	保留	1	FIR模式 0 = 高性 能 1 = 低 延迟	输出增益 0 = 0 dB 1 = -6 dB	9位输出 模式使能	数据路径增益 00 = 0 dB 01 = -6 dB 10 = -12 dB 11 = -18 dB		0xB0	

地址 (十六 进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六 进制)	默认值 注释
0x51	NCO控制 (局部)	保留	NCO 3 2 至 $f_s/4$ NCO同 步使能	频谱反转	1	保留	NCO32幅度 扰动使能	NCO 3 2 相 位 扰 动使能	1	0x51	
0x52	NCO 频率3 (局部)	NCO频率值[31:24]								0x40	
0x53	NCO 频率2 (局部)	NCO频率值[23:16]								0x00	
0x54	NCO 频率1 (局部)	NCO频率值[15:8]								0x00	
0x55	NCO 频率0 (局部)	NCO频率值[7:0]								0x00	
0x56	NCO相位 失调1(局部)	NCO相位值[15:8]								0x00	
0x57	NCO相位 失调0(局部)	NCO相位值[7:0]								0x00	
0x58	同步控制 (局部)	$f_s/4$ NCO仅 与下一同步 脉冲同步	$f_s/4$ NCO同 步使能	FIR仅与下 一同步脉冲 同步	FIR同步 使能	保留	保留	NCO32仅与 下一同步脉 冲同步	NCO32同步 使能	0x00	
0x59	NCO/FIR 同步引脚 控制 (局部)	禁用	禁用	禁用	禁用	禁用	禁用	SYNC引脚敏 感性 0 = 高电平同 步 1 = 边沿同步	SYNC引脚边 沿敏感性 0 = 下降沿同 步 1 = 上升沿同 步	0x00	
0x5A	NCO控制2 (局部)	禁用	禁用	禁用	禁用	禁用	禁用	禁用	低延迟 NCO选择	0x01	

¹ 写入地址0x00时，通道索引寄存器(地址0x05)应设置为0x03(默认)。

存储器映射寄存器描述

如需了解有关寄存器0x00至寄存器0x25所控制功能的更多信息，请参阅应用笔记AN-877“通过SPI与高速ADC接口”。

同步控制(寄存器0x3A)

位[7:3]—保留

位2—时钟分频器仅与下一同步脉冲同步

如果主机同步缓冲器使能位(地址0x3A的位0)和时钟分频器同步使能位(地址0x3A的位1)均为高电平，则位2允许时钟分频器与它接收到的第一个同步脉冲同步，并忽略其它同步脉冲。同步后，时钟分频器同步使能位(地址0x3A的位1)复位。

位1—时钟分频器同步使能

位1选通时钟分频器的同步脉冲。当位1为高电平且位0为高电平时，同步信号使能。这是连续同步模式。

位0—主机同步缓冲器使能

要使能任何同步功能，位0必须为高电平。如果不用同步功能，此位应保持低电平以省电。

直流校正控制(寄存器 0x40)

位7—保留

位6—直流校正冻结

当位6为高电平时，不再向信号监控模块更新直流校正，该模块保留最后一次计算的直流值。

位[5:2]—直流校正带宽选择

位[5:2]设置信号监控直流校正功能的均值时间。该4位字根据以下公式设置校正模块的带宽：

$$DC_Corr_BW = 2^{-k-14} \times \frac{f_{CLK}}{2 \times \pi}$$

其中：

K 是寄存器0x40的位[5:2]中设置的4位值(0和13之间的值对 k 有效；设置14或15与设置13效果相同)。

f_{CLK} 是AD6649 ADC采样速率，单位为赫兹。

位1—直流校正使能

此位设置为高电平时，器件会将直流测量模块的输出与信号路径中的数据相加，从而从信号路径中移除直流失调。

位0—保留

快速检测控制(寄存器0x45)

位[7:4]—保留

位3—强制FD输出使能

此位设置为高电平时，器件会强制FD引脚输出写入该寄存器(寄存器0x45)位2中的值。这使得用户可以强制在FD引脚处输出已知值来用于调试。

位2—强制FD输出值

向位3写入高电平时，器件会强制在FD引脚处输出写入位2的值。

位1—保留

位0—使能快速检测输出

此位设置为高电平可使能阈值上限FD比较器的输出来驱动FD输出引脚。

快速检测阈值上限(寄存器0x47和寄存器0x48)

寄存器0x48的位[7:5]—保留

寄存器0x48的位[4:0]—快速检测阈值上限[12:8]

寄存器0x47的位[7:0]—快速检测阈值上限[7:0]

这些寄存器提供阈值上限。该13位值会与ADC模块的输出幅度进行比较。ADC幅度超过该阈值时，如果寄存器0x45的位0置位，那么FD输出引脚置位。

快速检测阈值下限(寄存器0x49和寄存器0x4A)

寄存器0x4A的位[7:5]—保留

寄存器0x4A的位[4:0]—快速检测阈值下限[12:8]

寄存器0x49的位[7:0]—快速检测阈值下限[7:0]

这些寄存器提供阈值下限。该13位值会与ADC模块的输出幅度进行比较。如果ADC幅度小于该阈值且保持时间达到驻留时间寄存器中设置的周期数，那么FD输出位清零。

快速检测驻留时间(寄存器0x4B和寄存器0x4C)

寄存器0x4C的位[7:0]—快速检测驻留时间[15:8]

寄存器0x4B的位[7:0]—快速检测驻留时间[7:0]

这些寄存器值以ADC采样时钟周期(时钟分频器后)方式，设置FD输出位清零之前、信号需要保持在阈值下限之下的最短时间。

滤波器控制(寄存器0x50)

位7—保留(回读结果为1)

位6—保留

位5—保留(回读结果为1)

位4—FIR模式

此位设置为低电平可使能高性能FIR滤波器。此位设置为高电平可使能低延迟FIR。

位3—输出增益

此位设置为高电平可将输出增益设为-6 dB。此位值为0时，增益设为0 dB。

位2—9位输出模式使能

该位置位时，旁路NCO和滤波器，且器件输出9位数据。这9个位出现在输出总线的9个MSB上(即位D13至D5)。

位[1:0]—数据路径增益

这些位按如下方式设置数据路径增益：

00 = 0 dB增益

01 = -6 dB增益

10 = -12 dB增益

11 = -18 dB增益

NCO控制(寄存器0x51)**位7—保留****位6—NCO32至 $f_s/4$ NCO同步使能**

当NCO32设置为 $f_s/4$ ，且使用固定频率NCO和95 MHz FIR滤波器时，此位应设置为高电平。使用可调频率NCO和100 MHz FIR滤波器时，该位应禁用。

位5—频谱反转

若要反转输出频谱，则此位应设置为高电平。

位4—保留(回读结果为1)**位3—保留****位2—NCO32幅度扰动使能**

位2置位时，使能NCO中的幅度扰动功能。位2清零时，则禁用幅度扰动功能。

位1—NCO32相位扰动使能

位1置位时，使能NCO中的相位扰动功能。位1清零时，则禁用相位扰动功能。

位0—保留(回读结果为1)**NCO频率(寄存器0x52至寄存器0x55)**

寄存器0x52的位[7:0]—NCO频率值[31:24]

寄存器0x53的位[7:0]—NCO频率值[23:16]

寄存器0x54的位[7:0]—NCO频率值[15:8]

寄存器0x55的位[7:0]—NCO频率值[7:0]

此32位值用于设置NCO调谐频率。要设置的频率值可通过以下公式计算：

$$NCO_FREQ = 2^{32} \times \frac{Mod(f, f_{CLK})}{f_{CLK}}$$

其中：

NCO_FREQ是代表NCO频率寄存器的32位二进制补码数值。

f 是所需的载波频率，单位为赫兹。

f_{CLK} 是AD6649 ADC时钟速率，单位为赫兹。

NCO相位偏移(寄存器0x56和寄存器0x57)

寄存器0x56的位[7:0]—NCO相位值[15:8]

寄存器0x57的位[7:0]—NCO相位值[7:0]

NCO相位值寄存器中设置的16位值会在每次NCO启动时或收到NCO SYNC信号时载入NCO模块。此过程使得NCO能够从已知的非零相位启动。

NCO相移值的计算公式如下：

$$NCO_PHASE = 2^{16} \times PHASE/360$$

其中，NCO_PHASE是一个十进制数，等于通过编程写入寄存器0x56和寄存器0x57内的16位二进制数，PHASE则是所需的NCO相位值(单位为度)。

SYNC控制(寄存器0x58)**位7— $f_s/4$ NCO仅与下一同步脉冲同步**

如果主机同步缓冲器使能位(寄存器0x3A的位0)和 $f_s/4$ NCO同步使能位(寄存器0x58的位6)均为高电平，则位7允许 $f_s/4$ NCO与它接收到的第一个同步脉冲同步，并忽略其它同步脉冲。如果位7置位，则寄存器0x58的位6会在此同步发生后复位。

位6— $f_s/4$ NCO同步使能

位6选通 $f_s/4$ NCO的同步脉冲。当位6设置为高电平时，同步信号会促使 $f_s/4$ NCO进行同步。仅当主机同步缓冲器使能位(寄存器0x3A的位0)为高电平时，该同步才有效。这是连续同步模式。

位5—FIR仅与下一同步脉冲同步

如果主机同步缓冲器使能位(寄存器0x3A的位0)和FIR同步使能位(寄存器0x58的位4)均为高电平，则位5允许FIR与它接收到的第一个同步脉冲同步，并忽略其它同步脉冲。如果位5置位，则寄存器0x3A的位4会在此同步发生后复位。

位4—FIR同步使能

位4选通FIR滤波器的同步脉冲。当位4设置为高电平时，同步信号会使半带再同步。仅当主机同步缓冲器使能位(寄存器0x3A的位0)为高电平时，该同步才有效。这是连续同步模式。

位[3:2]—保留**位1—NCO32仅与下一同步脉冲同步**

如果主机同步缓冲器使能位(寄存器0x3A的位0)和NCO32同步使能位(寄存器0x58的位0)均为高电平，则位1允许NCO32与它接收到的第一个同步脉冲同步，并忽略其它同步脉冲。如果位1置位，则寄存器0x58的位0会在同步发生后复位。

AD6649

位0—NCO32同步使能

位0选通32位NCO的同步脉冲。此位设置为高电平时，同步信号促使NCO进行再同步，并从NCO相移值开始。仅当主机同步缓冲器使能位(寄存器0x3A的位0)为高电平时，该同步才有效。这是连续同步模式。

NCO/FIR SYNC引脚控制(寄存器0x59)

位[7:2]—保留

位1—SYNC引脚敏感性

如果位1设置为0，则SYNC输入信号响应电平。如果该位设置为低电平，则SYNC输入信号响应地址0x59位0中设置的边沿(上升沿或下降沿)。

位0—SYNC引脚边沿敏感性

如果位1设置为高电平，则将位0设置为0可使得SYNC输入信号响应下降沿。如果该位置位，SYNC输入响应上升沿。

NCO控制2(寄存器0x5A)

位[7:1]—保留

位0—低延迟NCO选择

如果位0设置为1，则选择低延迟NCO。对于固定频率NCO、95 MHz FIR滤波器工作模式，应选择此位。此位置位时，NCO值必须设置为0x40000000或0xC0000000。

应用信息

设计指南

在进行AD6649的系统级设计和布局之前，建议设计人员先熟悉下述设计指南，其中探讨了某些引脚所需的特殊电路连接和布局布线要求。

电源和接地建议

当连接电源至AD6649时，建议使用两个独立的1.8 V电源：一个电源用于模拟(AVDD)部分，另一电源用于数字输出(DRVDD)部分。设计人员使用多个不同的去耦电容以适用于高频和低频。去耦电容应放置在接近PCB入口点和接近器件引脚的位置，尽可能地缩短走线长度。

AD6649仅需要一个PCB接地层。对PCB模拟、数字和时钟模块进行合理去耦和巧妙分隔，可以轻松获得最佳性能。

裸露焊盘散热块建议

为获得最佳的电气性能和热性能，必须将ADC底部的裸露焊盘连接至模拟地(AGND)。PCB上裸露(无阻焊膜)的连续铜平面应与AD6649的裸露焊盘(引脚0)匹配。

铜平面上应有多个通孔，获得尽可能低的热阻路径以通过PCB底部进行散热。应采用绝缘环氧化物来填充或堵塞这些通孔。

为了最大化地实现ADC与PCB之间的覆盖与连接，应在PCB上覆盖一个丝印层，以便将PCB上的连续平面划分为多个均等的部分。这样，在回流焊过程中，可在ADC与PCB之间提供多个连接点。而一个连续的、无分割的平面则仅可保证在ADC与PCB之间有一个连接点。有关PCB布局布线范例，请参考评估板。如需了解有关封装和芯片级封装PCB布局布线的详细信息，请参阅[应用笔记AN-772](#)“引脚架构芯片级(LFCSP)封装设计与制造指南”。

VCM

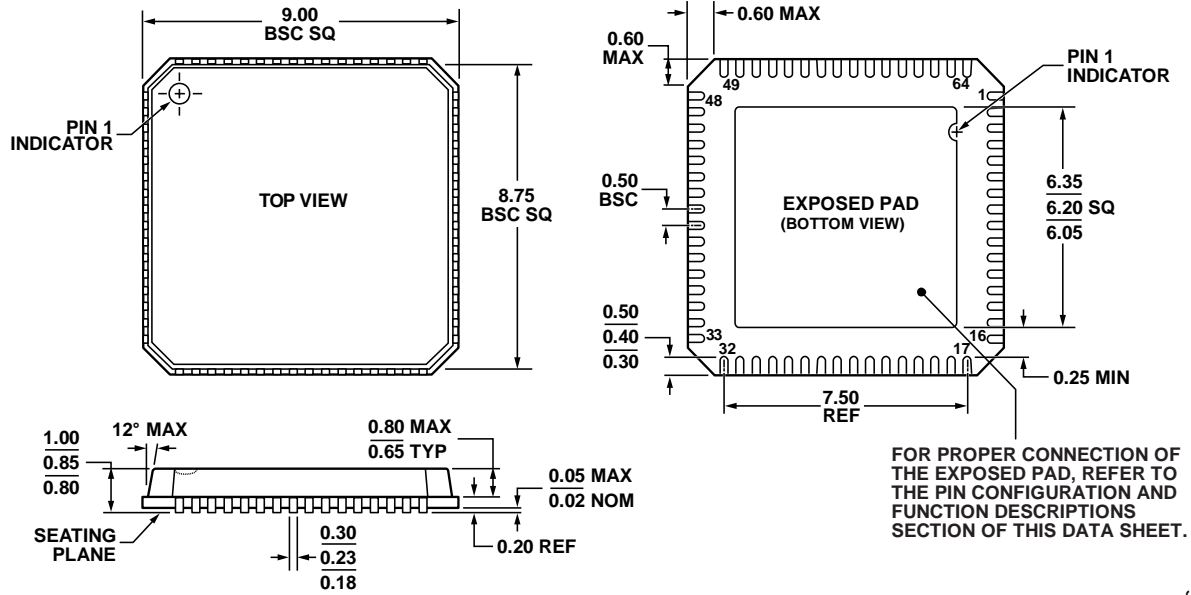
VCM引脚应通过一个0.1 μ F电容去耦至地(见图28)。为获得最佳通道间隔离性能，AD6649 VCM引脚和通道A模拟输入网络连接之间以及AD6649 VCM引脚和通道B模拟输入网络连接之间均应连接一个33 Ω 电阻。

SPI端口

当需要转换器充分发挥其全动态性能时，应禁用SPI端口。通常SCLK信号、CSB信号和SDIO信号与ADC时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线，则可能需要在该总线与AD6649之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

AD6649

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VMM4

图47. 64引脚引脚架构芯片级封装[LFCSP_VQ],
9 mm x 9 mm超薄四方体
(CP-64-4)
图示尺寸单位: mm

091707-C

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD6649BCPZ	-40°C至+85°C	64引脚 引脚架构芯片级封装[LFCSP_VQ]	CP-64-4
AD6649BCPZRL7	-40°C至+85°C	64引脚 引脚架构芯片级封装[LFCSP_VQ]	CP-64-4
AD6649EBZ		AD6649评估板	

¹Z = 符合RoHS标准的器件。