

通用 LCD 驱动与控制电路 BL55066

BL55066 是一款通用型液晶控制和驱动单芯片，具有 4 背极和 24 段极共 96 位元的输出能力，适用于常用低占空比的字符/图形式液晶屏幕。BL55066 具有兼容多数微机系统的双向二线式串行总线通讯接口，可以级联使用。具备自动地址增量功能。

特点

- 单片集成 LCD 控制器/驱动器
- 可选择背极驱动方式：静态或 2、3、4 复合
- 可选择显示偏置电压：静态、1/2 或 1/3
- 宽工作电压范围：2.5~5.5V
- 二线串行总线接口
- 24 段驱动，可驱动高达 12 个 8 段数字字符、6 个 15 段字母数字字符、或任何高达 96 个点素的图形
- 24 × 4 共 96 位的显示数据存储器
- 静态和多极驱动方式中的显示存储空间的自动切换
- 通用闪烁方式
- 器件子地址显示数据的自动增量
- 较低的电源功耗，约为同类产品的 80%
- LCD 电源和逻辑电路电源可分别供应
- 能和任何 4 位、8 位、16 位微处理器/微控制器兼容
- 可级联大屏幕 LCD 使用(可达 1536 段)
- 可级联 40 段的 BL55076
- 兼容 TTL/COMS 电平
- 先进的低压硅栅 CMOS 工艺制造
- LQFP-44 封装形式

应用领域

- 电表、水表、汽表或其他以电池供电的仪表
- 玩具、学习机
- 手持仪表或其他低功耗便携仪表
- 闹钟

管脚说明

编号	名称	定义	I/O
6	SDA	二线串行总线数据信号	I/O
7	SCL	二线串行总线时钟信号	I
8	SYNC	级联同步信号 (OSC=0:输出;OSC=1:输入)	I/O
9	CLK	外部时钟信号 (OSC=0:输出;OSC=1:输入)	I/O
10	Vdd	电源正级	I
12	OSC	晶振选择信号 (0:晶振;1:外部时钟)	I
13-15	A0、A1、A2	总线子地址信号	I
16	SA0	总线从地址 bit0 信号	I
17	Vss	电源负极	I
18	Vlcd	液晶工作低电位电压	I
19-21、23	Com0、Com2、Com1、Com3	液晶板 COM 输出	0
24-32、34-43、1-5	Seg0—Seg23	液晶板 SEG 输出	0
11、22、33、44	NC	未使用	-

表 1

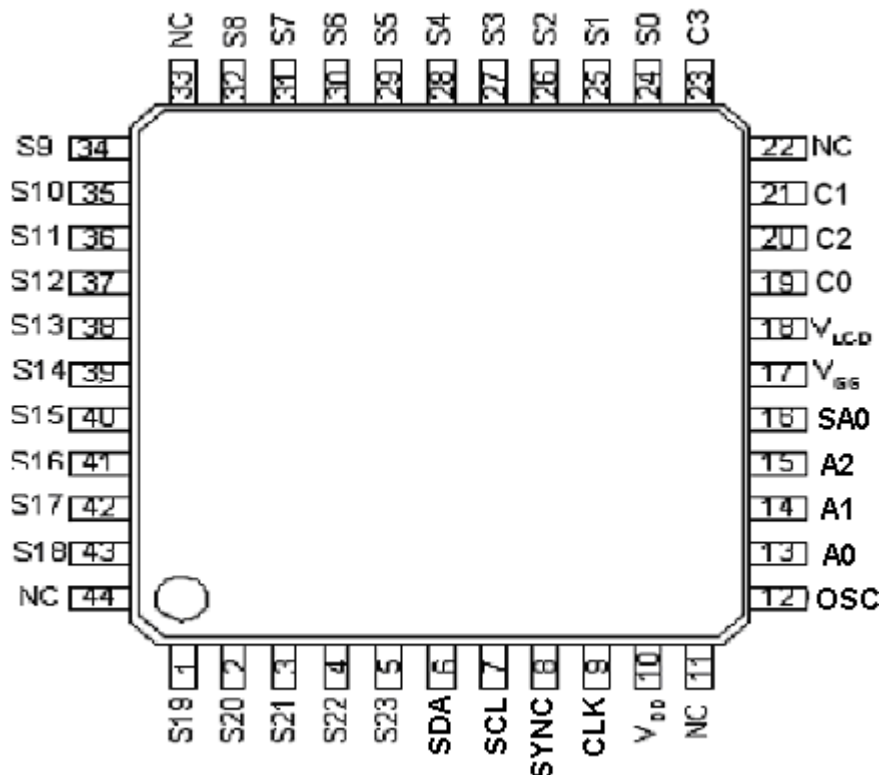
管脚排列


图 1

功能描述

1. 功能电路

BL55066内部集成了LCD驱动器所必需的所有功能电路。这些电路包括:LCD偏置电压发生器、LCD电压选择器、内部时钟、显示RAM、显示锁存器、移位寄存器、段/背极输出电路、输入/输出存储体选择器、闪烁电路、数据指针和子地址计数器。

2. 显示驱动原理:

BL55066有24个段输出S0—S23和4个背极输出Com0--Com3,它们和LCD直接相连,当少于24个段输出和少于4个背极输出应用时,不用的段或背极可空出。BL55066共有静态1:2、1:3、1:4四种背极输出方式,允许使用1/2或1/3两种偏置电压。

显示内容和 RAM 地址之间的关系可见下表:

显示 RAM 地址和 SEGMENT (S0~S23) 输出												
COM	0	1	2	3	21	22	23	Ram 数据 填充次序
(Com0- Com3) 输出	0											3
	1											2
	2											1
	3											0

表 2

当要显示的数据传送给BL55066后, BL55066将接收到的字节数据按照所选择的LCD驱动方式填充在显示RAM中。图2示出了在不同的驱动方式下7段显示器的显示填充顺序。

方式	LCD 段	LCD 背极	显示 RAM 填充顺序	发送的显示字节																																																	
静态			<table border="1"> <tr><th>BP</th><th>n</th><th>n+1</th><th>n+2</th><th>n+3</th><th>n+4</th><th>n+5</th><th>n+6</th><th>n+7</th></tr> <tr><td>0</td><td>c</td><td>b</td><td>a</td><td>f</td><td>g</td><td>e</td><td>d</td><td>DP</td></tr> <tr><td>1</td><td>*</td><td>*</td><td>*</td><td>*</td><td>*</td><td>*</td><td>*</td><td>*</td></tr> <tr><td>2</td><td>*</td><td>*</td><td>*</td><td>*</td><td>*</td><td>*</td><td>*</td><td>*</td></tr> <tr><td>3</td><td>*</td><td>*</td><td>*</td><td>*</td><td>*</td><td>*</td><td>*</td><td>*</td></tr> </table>	BP	n	n+1	n+2	n+3	n+4	n+5	n+6	n+7	0	c	b	a	f	g	e	d	DP	1	*	*	*	*	*	*	*	*	2	*	*	*	*	*	*	*	*	3	*	*	*	*	*	*	*	*	<table border="1"> <tr><th>MSB</th><th>LSB</th></tr> <tr><td>c</td><td>b a f g e d DP</td></tr> </table>	MSB	LSB	c	b a f g e d DP
BP	n	n+1	n+2	n+3	n+4	n+5	n+6	n+7																																													
0	c	b	a	f	g	e	d	DP																																													
1	*	*	*	*	*	*	*	*																																													
2	*	*	*	*	*	*	*	*																																													
3	*	*	*	*	*	*	*	*																																													
MSB	LSB																																																				
c	b a f g e d DP																																																				
1:2 多级			<table border="1"> <tr><th>BP</th><th>n</th><th>n+1</th><th>n+2</th><th>n+3</th></tr> <tr><td>0</td><td>a</td><td>f</td><td>e</td><td>d</td></tr> <tr><td>1</td><td>b</td><td>g</td><td>c</td><td>DP</td></tr> <tr><td>2</td><td>*</td><td>*</td><td>*</td><td>*</td></tr> <tr><td>3</td><td>*</td><td>*</td><td>*</td><td>*</td></tr> </table>	BP	n	n+1	n+2	n+3	0	a	f	e	d	1	b	g	c	DP	2	*	*	*	*	3	*	*	*	*	<table border="1"> <tr><th>MSB</th><th>LSB</th></tr> <tr><td>a</td><td>b f g e c d DP</td></tr> </table>	MSB	LSB	a	b f g e c d DP																				
BP	n	n+1	n+2	n+3																																																	
0	a	f	e	d																																																	
1	b	g	c	DP																																																	
2	*	*	*	*																																																	
3	*	*	*	*																																																	
MSB	LSB																																																				
a	b f g e c d DP																																																				
1:3 多级			<table border="1"> <tr><th>BP</th><th>n</th><th>n+1</th><th>n+2</th></tr> <tr><td>0</td><td>b</td><td>a</td><td>f</td></tr> <tr><td>1</td><td>DP</td><td>d</td><td>e</td></tr> <tr><td>2</td><td>c</td><td>g</td><td>*</td></tr> <tr><td>3</td><td>*</td><td>*</td><td>*</td></tr> </table>	BP	n	n+1	n+2	0	b	a	f	1	DP	d	e	2	c	g	*	3	*	*	*	<table border="1"> <tr><th>MSB</th><th>LSB</th></tr> <tr><td>b</td><td>DP c a d g f e</td></tr> </table>	MSB	LSB	b	DP c a d g f e																									
BP	n	n+1	n+2																																																		
0	b	a	f																																																		
1	DP	d	e																																																		
2	c	g	*																																																		
3	*	*	*																																																		
MSB	LSB																																																				
b	DP c a d g f e																																																				
1:4 多级			<table border="1"> <tr><th>BP</th><th>n</th><th>n+1</th></tr> <tr><td>0</td><td>a</td><td>f</td></tr> <tr><td>1</td><td>c</td><td>e</td></tr> <tr><td>2</td><td>b</td><td>g</td></tr> <tr><td>3</td><td>DP</td><td>d</td></tr> </table>	BP	n	n+1	0	a	f	1	c	e	2	b	g	3	DP	d	<table border="1"> <tr><th>MSB</th><th>LSB</th></tr> <tr><td>a</td><td>c b DP f e g d</td></tr> </table>	MSB	LSB	a	c b DP f e g d																														
BP	n	n+1																																																			
0	a	f																																																			
1	c	e																																																			
2	b	g																																																			
3	DP	d																																																			
MSB	LSB																																																				
a	c b DP f e g d																																																				

图 3

二线-串行通信总线协议

两个受控于BL55066的二线-串行通信总线受控器地址（0111110和0111111）。受控器最重要的最低位由输入SA0的连线决定，因此，如下的两种在相同二线-串行通信总线上的BL55066能被区别：

- (1) 在大型LCD应用中相同的二线-串行通信总线上达到16片BL55066；
- (2) 两种不同类的LCD复合在相同的二线-串行通信总线上使用。

二线-串行通信总线如图4。发送第一个起始条件后，紧接着发送两个BL55066从地址中的一个。所有SA0电平相同的BL55066同时响应从地址，但所有与SA0电平不同的BL55066则与二线-串行通信总线的通讯无关。在寻址之后为一个或多个（ $m \geq 1$ 个字节）指令字节（COMMAND），用来定义所寻址的BL55066状态，指令字节中的最高位“C”用以标明是否是最后一个指令字节，当C=“1”时表示后面的字节仍是指令字节；当C=“0”时则表明该字节为最后一个指令字节。最后一个指令字节之后为一系列显示数据字节（DISPLAY DATA），这些显示数据存放在显示RAM中，由数据指针和子地址计数器指示的地址上。数据指针和子地址计数器可自动变更，数据直接装载到指定的BL55066上，在每个字节之后的应答位由A2、A1、A0寻址的BL55066提供，在主控器发送完最后一个字节后产生一个终止条件P。

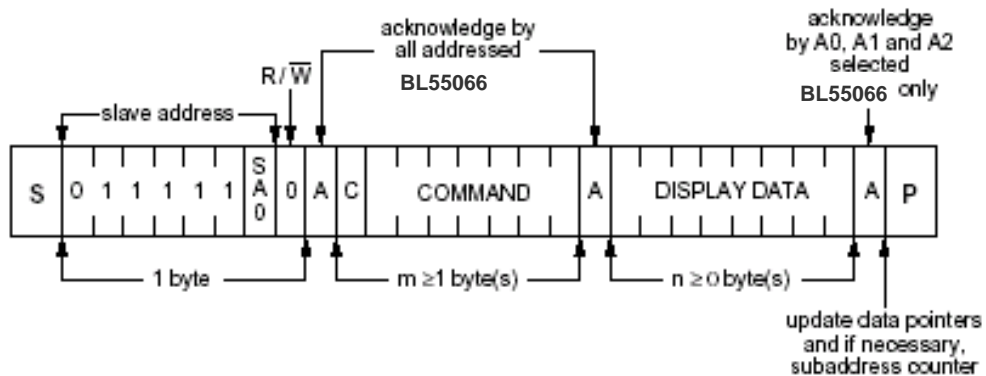
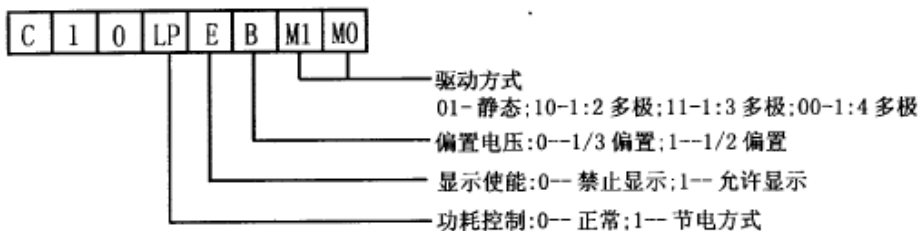


图 4

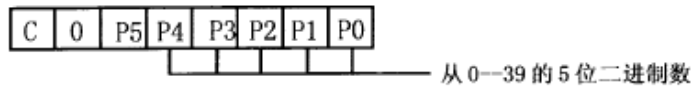
3 BL55066的控制命令

BL55066 共有 5 个控制命令字。命令和数据都是以字节的形式发送到 BL55066，它们的区别在于传送字节的最高位 C，当 C=1 时表示其后传送的字节仍是命令；C=0 表示其后传送的字节是最后一个命令，接下来传送的是一系列数据。下面列出了常用的 4 个命令的细节：

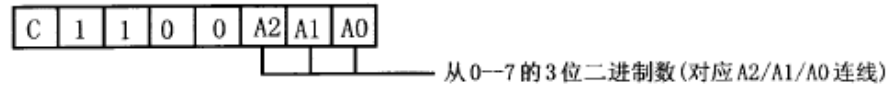
A. 方式设定



B. 数据指针(要显示的起始地址, 对应段输出 S0--S39 的某一段)



C. 器件选择



D. 闪烁控制

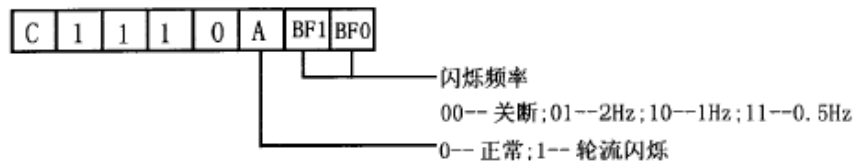


图 5

极限参数

参数	符号	最小	最大	单位
电源电压范围	V_{DD}	-0.5	+6.0	V
LCD 电源电压范围	V_{LCD}	$V_{DD} - 6.0$	V_{DD}	V
输入电压范围(SCL、SDA、A0 ~ A2、OSC、CLK、 \overline{SYNC} 、SA0)	V_{I1}	$V_{SS} - 0.5$	$V_{DD} + 0.5$	V
输出电压范围(S0 ~ S23、BP0 ~ BP3)	V_o	$V_{LCD} - 0.5$	$V_{DD} + 0.5$	V
DC 输入电流	$\pm I_i$	-20	+20	mA
DC 输出电流	$\pm I_o$	-25	+25	mA
V_{DD} 、 V_{SS} 或 V_{LCD} 电流	$\pm I_{DD}$ 、 $\pm I_{SS}$ 、 $\pm I_{LCD}$	-50	+50	mA
每片功耗	P_{tot}	-	400	mW
每个输出功耗	P_o	-	100	mW
存储温度范围	T_{atg}	-65	+150	

表 6

直流电参数 (除非特别指明, $T_a=25^\circ\text{C}$)

参数	符号	最小值	典型值	最大值	单位
工作电源电压	V_{DD}	2.5	-	5.5	V
LCD 电源电压	V_{LCD}	0	-	$V_{DD} - 2.5$	V
工作电源电流, $V_{DD}=5V, V_{LCD}=0V, f_{CLK}=200kHz$ 时 (1)	I_{DD}	-	25	50	μ
节电方式电源电流, $V_{DD}=3.3V, V_{LCD}=0V, f_{CLK}=35kHz$ 时 (1)	I_{LP}	-	9	15	μ
逻辑电平					

输入电压低	V_{IL}	V_{SS}	-	$0.3 V_{DD}$	V
输入电压高 (SDA, SCL, CLK, SYNC, SA0, OSC, A0 to A2)	V_{IH1}	$0.7V_{DD}$	-	V_{DD}	V
输出电压低 (IO=0mA)	V_{OL}	-	-	0.05	V
输出电压高 (IO=0mA)	V_{OH}	$V_{DD} - 0.05$	-	-	V
输出电流低 (CLK, SYNC), $V_{OL}=1V$, $V_{DD}=5V$ 时	I_{OL1}	1	-	-	mA
输出电流高 (CLK), $V_{OH}=4V$, $V_{DD}=5V$ 时	I_{OH}	-	-	-1	mA
输出电流低 (SDA, SCL), $V_{OL}=0.4V$, $V_{DD}=5V$ 时	I_{OL2}	3	-	-	mA
泄漏电流 (SA0, A0 ~ A2, CLK, SCL, SDA), $V_i=V_{SS}$ 或 V_{DD} 时	$\pm I_{L1}$	-1	-	+1	μ
泄漏电流 (OSC), $V_i=V_{DD}$	$\pm I_{L2}$	-1	-	+1	μ
下拉电流 (A0, A1, A2, OSC) $V_i=1V$; $V_{DD}=5V$	I_{pd}	15	50	150	μ
上拉电阻 (SYNC)	R_{SYNC}	15	25	60	k
总线上允许尖峰脉冲宽度	t_{SW}	-	-	100	ns

1: 输出开路, 内部振荡时钟

表7
交流电参数 (除非特别指明, $T_a=25^\circ C$)

参数	符号	最小值	典型值	最大值	单位
振荡器频率 (标准方式) $V_{DD}=5V$	f_{CLK}	125	200	315	kHz
振荡器频率 (节电方式) $V_{DD}=3.5V$	f_{CLKP}	21	31	48	kHz
CLK 高周期	t_{c1KH}	1	-	-	μs
CLK 低周期	t_{c1KL}	1	-	-	μs
SYNC传输延迟	t_{PSYNC}	-	-	400	ns
SYNC周期 测试负载为VLCD=VDD-5V 时驱动器的延迟	$t_{\overline{SYNCL}}$	1	-	-	μs
	t_{PLCD}	-	-	30	μs
二线串行总线时序规范					
总线空闲时间	t_{BUF}	4.7	-	-	μs
“开始”状态保持时间	$t_{HD;STA}$	4.0	-	-	μs
进入二次“开始”状态的建立时间	$t_{SU;STA}$	4.7	-	-	μs
SCL低周期	t_{LOW}	4.7	-	-	μs
SCL高周期	t_{HIGH}	4.0	-	-	μs
SCL/SDA上升时间	t_r	-	-	1	μs
SCL/SDA下降时间	t_f	-	-	0.3	μs
线载电容	C_B	-	-	400	pF

数据建立时间	$t_{SU;DAT}$	250	-	-	ns
数据保持时间	$t_{HD;DAT}$	0	-	-	μs
“结束”状态建立时间	$t_{SU;STO}$	4.0	-	-	μs

表8

时序图

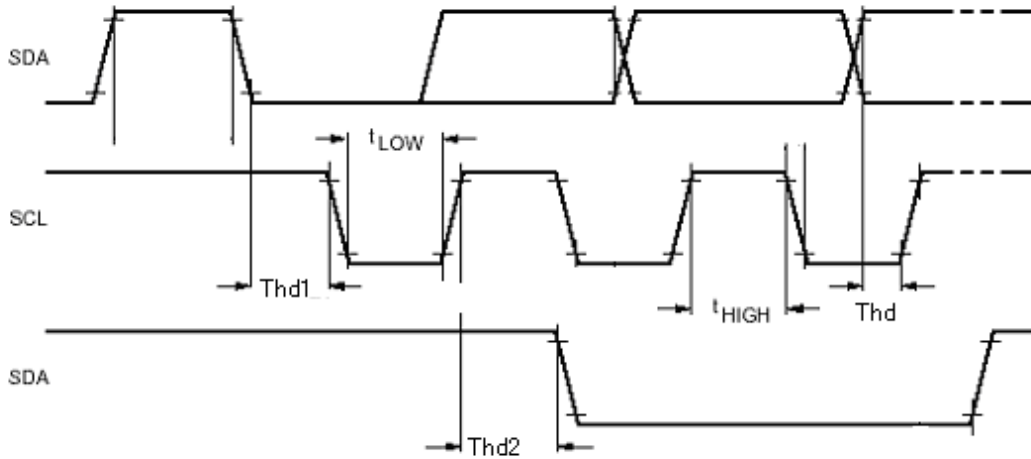


图6

典型应用

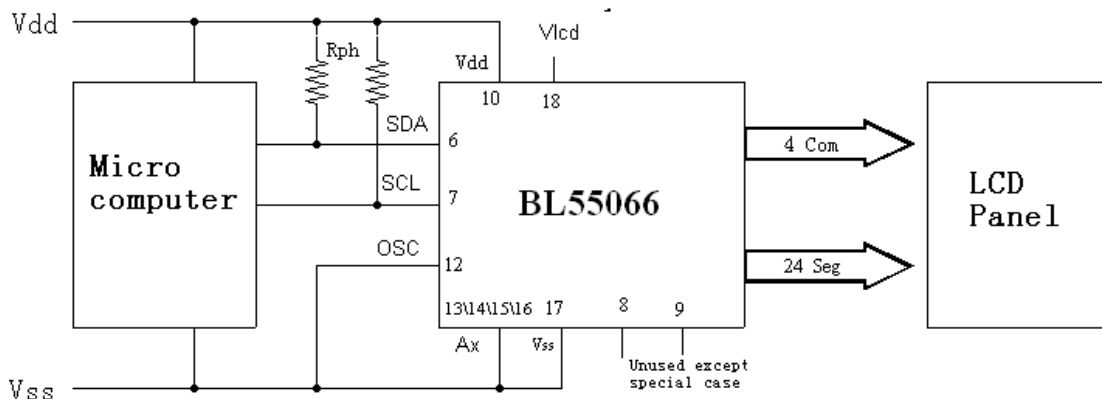


图7

注：1. Vlcd 必须接一恒定电压，可由电阻分压获得，或直接接地。

2. I2C 通讯空闲状态下，SDA、SCL 管脚需拉高，否则可能无法进入节电功耗模式

封装描述 (单位: mm)

LQFP44

