

产品特性

- 分辨率: 16 位
- 电源电压 3.3V/1.8V
- 最大采样率 250MSPS
- 信噪比 75dBFS@采样率 250MSPS
- 无杂散动态范围 85dBFS @
 $f_{in}=170\text{MHz}$ 、 $f_s=250\text{MSPS}$
- 微分非线性 $DNL=\pm 0.8\text{LSB}$ (典型)
- 积分非线性 $INL=\pm 8\text{LSB}$ (典型)
- 差分模拟输入范围 $\leq 2.5\text{VPP}$
- SPI 功能
- DDR LVDS 输出 (ANSI-644 兼容)
- 内置时钟占空比稳定且有时钟输出
- 封装形式 QFN72
- 兼容 AD9467-250

●

产品用途及应用范围

- 通信
- 接收器
- 基站
- 谱分析
- 宽带无线
- 雷达
- 红外成像
- 功放线性化
- 图像处理

产品描述

该产品主要功能是将输入模拟信号转换为 16 位并行数字信号输出, 主要用于采集高频宽带信号。电源电压 3.3V/1.8V, 转换器包括前端缓冲器、流水线电路、逻辑校准、输出 IO、时钟处理电路、输出控制、基准等功能单元电路。该产品功能框图如图 1 所示, 时序如图 2 所示。

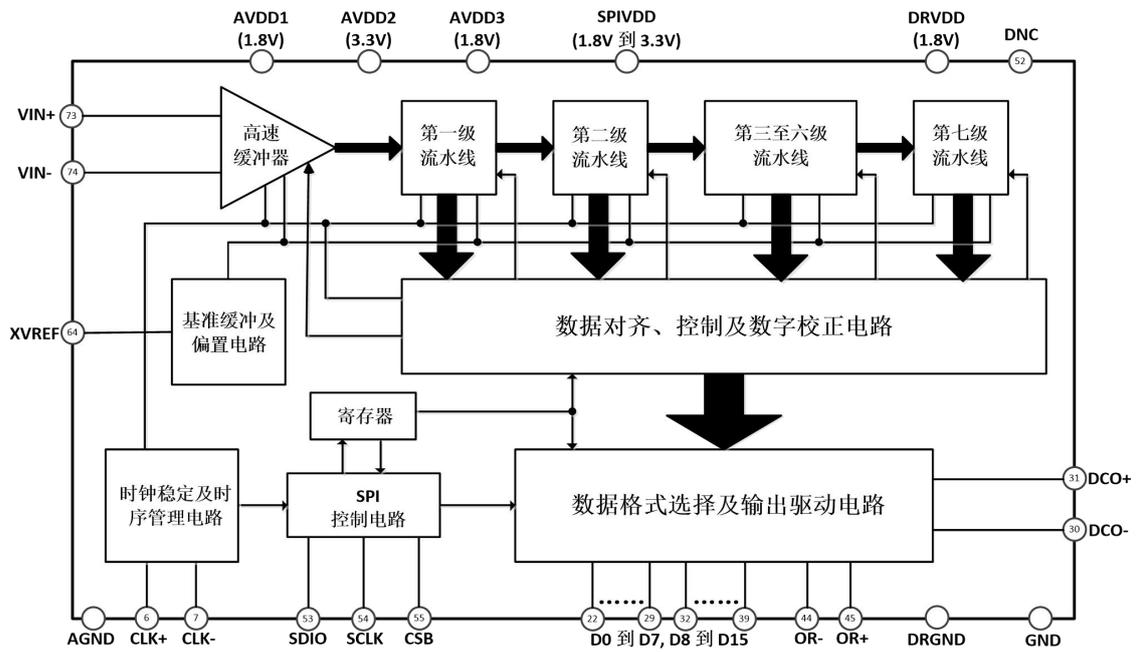


图 1 功能框图

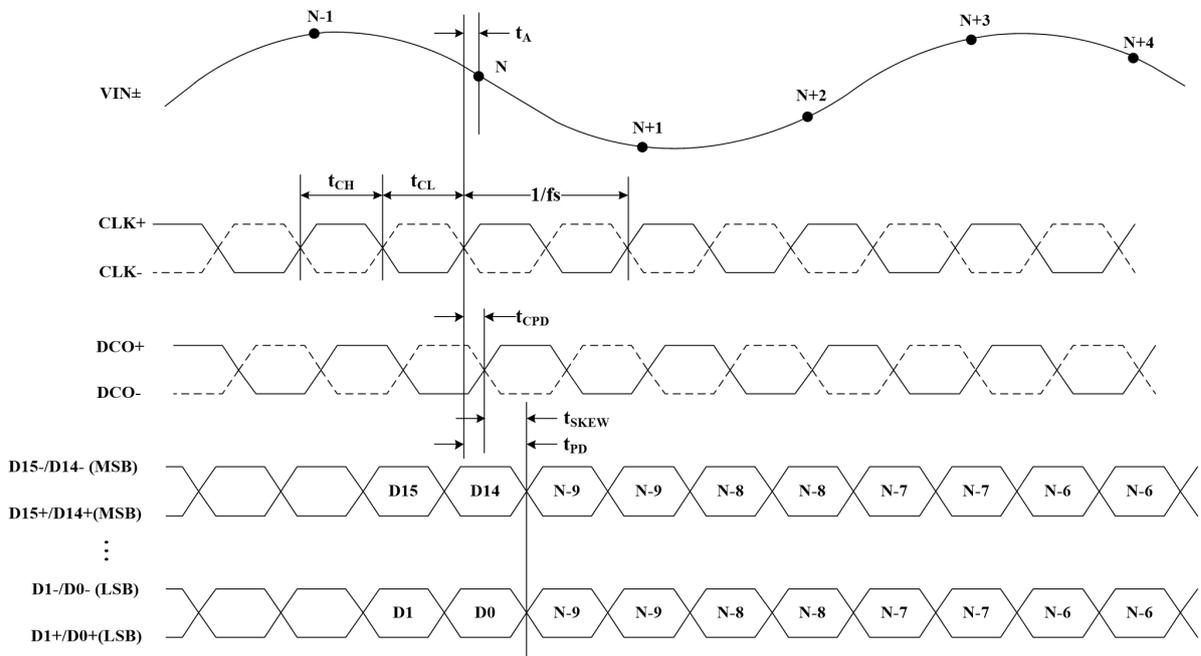


图 2 时序图

性能指标

参数	符号	条件(除另有规定外, 模拟输入峰峰值最大 2.5V, $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$)	最小	典型	最大	单位
分辨率	—	—	16			Bits
积分线性误差	E_L	$f_{IN}=10\text{MHz}$	—	± 8	—	LSB
微分线性误差	E_{DL}	$f_{IN}=10\text{MHz}$	-0.99	± 0.8	1.2	LSB
失调电压	E_O	—	-250	—	250	LSB
增益误差	E_G	—	-8	—	8	%FSR
失调电压温漂	D_{OFF}	—	-0.02	—	0.02	%FSR/ $^{\circ}\text{C}$
增益误差温漂	D_G	—	-0.03	—	0.03	%FSR/ $^{\circ}\text{C}$
跃迁噪声	N_T	模拟输入正负端接共模	—	—	4.7	LSB_{RMS}
全功率带宽	FPBW	—	—	900	—	MHz
数字输出差分电压	V_{OD}	DDR LVDS 输出模式, 100 Ω 差分负载	250	—	380	mV
数字输出共模电压	V_{OS}	DDR LVDS 输出模式, 100 Ω 差分负载	1	—	1.35	V
电源 V_{DDA1} 电流	I_{VDDA1}	DDR LVDS 输出	—	—	575	mA
电源 V_{DDA3} 电流	I_{VDDA3}	DDR LVDS 输出	—	—	20	mA
电源 V_{DDA2} 电流	I_{VDDA2}	DDR LVDS 输出	—	—	90	mA
电源 V_{DDD} 电流	I_{VDDD}	DDR LVDS 输出	—	—	50	mA
功耗	P_W	DDR LVDS 输出	—	1.25	1.5	W
省电模式功耗	P_D	—	—	10	50	mW
信噪比	SNR	$f_{IN}=10\text{MHz}, A_{IN}=-1\text{dBFS}$	71	75.1	—	dBFS
		$f_{IN}=70\text{MHz}, A_{IN}=-1\text{dBFS}$	71	74.6	—	
		$f_{IN}=100\text{MHz}, A_{IN}=-1\text{dBFS}$	—	74.4	—	
		$f_{IN}=170\text{MHz}, A_{IN}=-1\text{dBFS}$	—	73.6	—	
		$f_{IN}=230\text{MHz}, A_{IN}=-1\text{dBFS}$	—	72.9	—	
		$f_{IN}=300\text{MHz}, A_{IN}=-1\text{dBFS}$	—	72.2	—	
信噪失真比	SINAD	$f_{IN}=10\text{MHz}, A_{IN}=-1\text{dBFS}$	70	74.6	—	dBFS
		$f_{IN}=70\text{MHz}, A_{IN}=-1\text{dBFS}$	69	74.1	—	
		$f_{IN}=100\text{MHz}, A_{IN}=-1\text{dBFS}$	—	73.6	—	
		$f_{IN}=170\text{MHz}, A_{IN}=-1\text{dBFS}$	—	73.2	—	
		$f_{IN}=230\text{MHz}, A_{IN}=-1\text{dBFS}$	—	72.6	—	

参数	符号	条件(除另有规定外, 模拟输入峰峰值最大 2.5V, $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$)	最小	典型	最大	单位
		$f_{IN} = 300\text{MHz}$, $A_{IN} = -1\text{dBFS}$	—	70.9	—	
有效位数	ENOB	$f_{IN} = 10\text{MHz}$, $A_{IN} = -1\text{dBFS}$	10.6	11.94	—	Bits
		$f_{IN} = 70\text{MHz}$, $A_{IN} = -1\text{dBFS}$	10.5	11.81	—	
		$f_{IN} = 100\text{MHz}$, $A_{IN} = -1\text{dBFS}$	—	11.78	—	
		$f_{IN} = 170\text{MHz}$, $A_{IN} = -1\text{dBFS}$	—	11.71	—	
		$f_{IN} = 230\text{MHz}$, $A_{IN} = -1\text{dBFS}$	—	11.60	—	
		$f_{IN} = 300\text{MHz}$, $A_{IN} = -1\text{dBFS}$	—	11.33	—	
无杂散动态范围 (2、3 阶谐波)	SFDR _{2、3}	$f_{IN} = 10\text{MHz}$, $A_{IN} = -1\text{dBFS}$	80	85.8	—	dBFS
		$f_{IN} = 70\text{MHz}$, $A_{IN} = -1\text{dBFS}$	80	83.5	—	
		$f_{IN} = 100\text{MHz}$, $A_{IN} = -1\text{dBFS}$	—	82.2	—	
		$f_{IN} = 170\text{MHz}$, $A_{IN} = -1\text{dBFS}$	—	87.7	—	
		$f_{IN} = 230\text{MHz}$, $A_{IN} = -1\text{dBFS}$	—	88.5	—	
		$f_{IN} = 300\text{MHz}$, $A_{IN} = -1\text{dBFS}$	—	78.7	—	
无杂散动态范围 (包括 2、3 阶谐波)	SFDR	$f_{IN} = 10\text{MHz}$, $A_{IN} = -1\text{dBFS}$	80	85.8	—	dBFS
		$f_{IN} = 70\text{MHz}$, $A_{IN} = -1\text{dBFS}$	80	83.5	—	
		$f_{IN} = 100\text{MHz}$, $A_{IN} = -1\text{dBFS}$	—	82.2	—	
		$f_{IN} = 170\text{MHz}$, $A_{IN} = -1\text{dBFS}$	—	87.7	—	
		$f_{IN} = 230\text{MHz}$, $A_{IN} = -1\text{dBFS}$	—	88.5	—	
		$f_{IN} = 300\text{MHz}$, $A_{IN} = -1\text{dBFS}$	—	78.7	—	
无杂散动态范围 (除去 2、3 阶)	SFDR _{ex} 23	$f_{IN} = 10\text{MHz}$, $A_{IN} = -1\text{dBFS}$	80	90.7	—	dBFS
		$f_{IN} = 70\text{MHz}$, $A_{IN} = -1\text{dBFS}$	80	90.3	—	
		$f_{IN} = 100\text{MHz}$, $A_{IN} = -1\text{dBFS}$	—	90.3	—	
		$f_{IN} = 170\text{MHz}$, $A_{IN} = -1\text{dBFS}$	—	89.2	—	
		$f_{IN} = 230\text{MHz}$, $A_{IN} = -1\text{dBFS}$	—	92.5	—	
		$f_{IN} = 300\text{MHz}$, $A_{IN} = -1\text{dBFS}$	—	89.1	—	
采样率	SR	—	50	—	250	MSPS

主要特性曲线图

INL 和 DNL 测试曲线如图 3 所示。

输入模拟输入频率 100MHz、采样率 250MSPS 的 FFT 如图 4 所示。

输入模拟输入频率 170MHz、采样率 250MSPS 的 FFT 如图 5 所示。

输入模拟输入频率 230MHz、采样率 250MSPS 的 FFT 如图 6 所示。

输入模拟输入频率 300MHz、采样率 250MSPS 的 FFT 如图 7 所示。

带宽测试如图 8 所示。

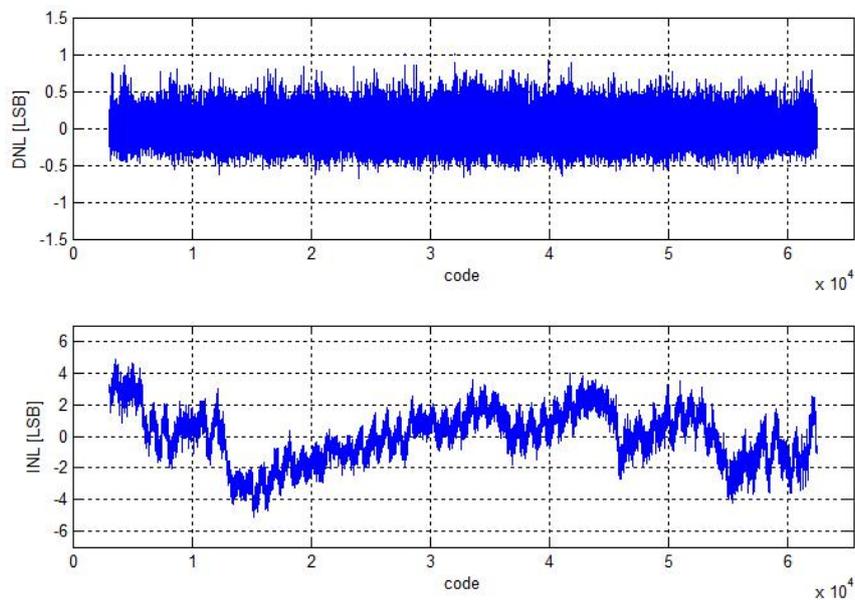


图 3 INL 和 DNL 典型测试图

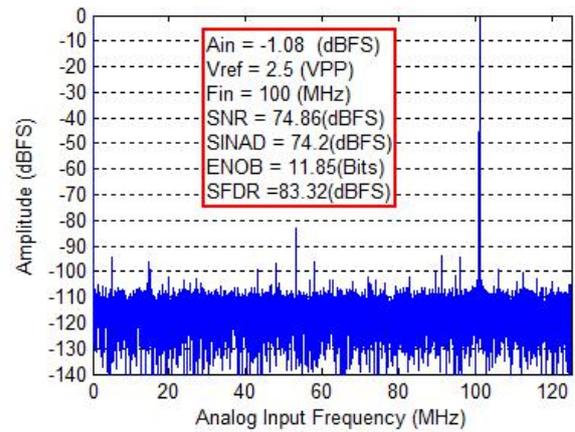
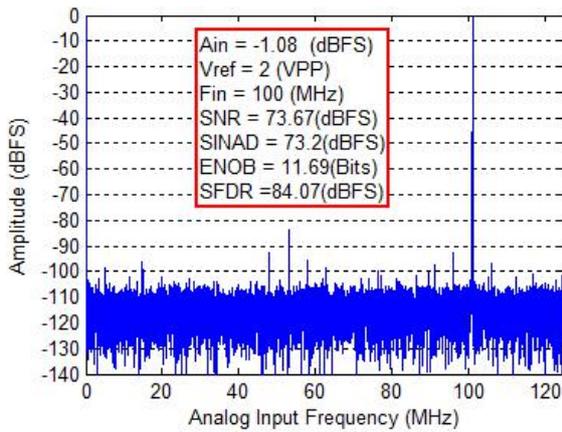


图 4 FFT 特性: 模拟输入频率 100MHz、采样率 250MSPS

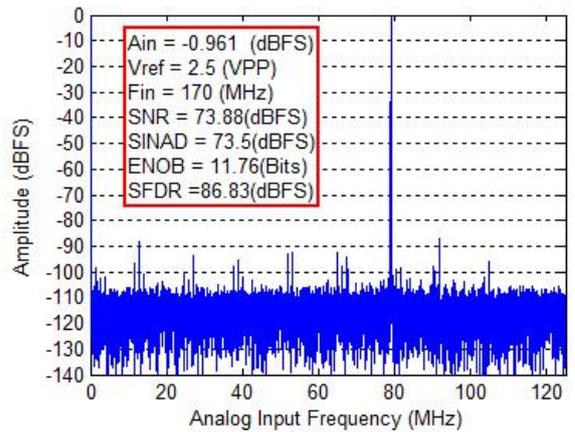
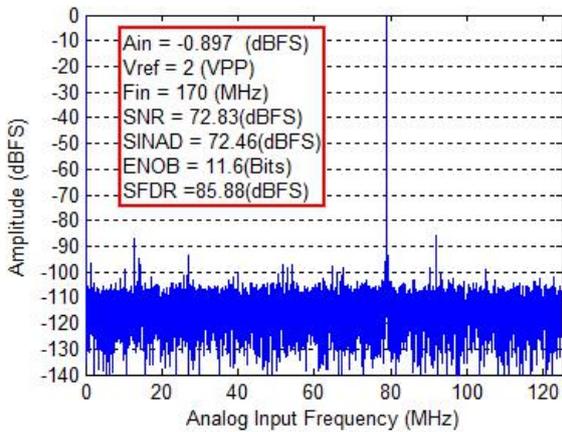


图 5 FFT 特性: 模拟输入频率 170MHz、采样率 250MSP

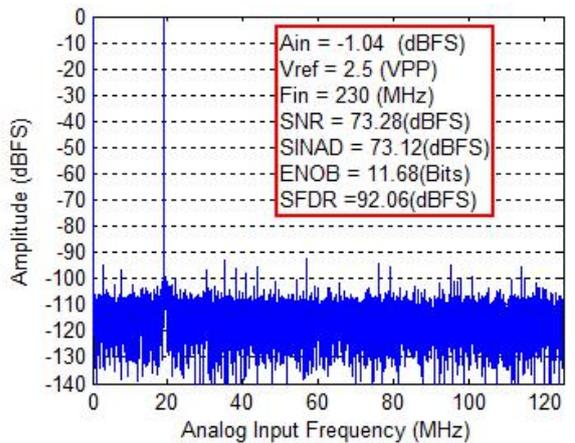
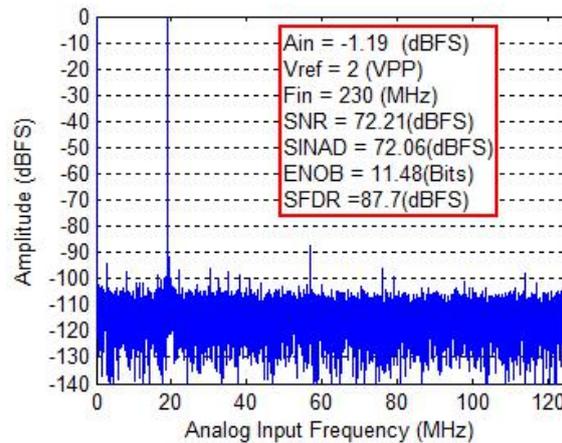


图 6 FFT 特性: 模拟输入频率 230MHz、采样率 250MSPS

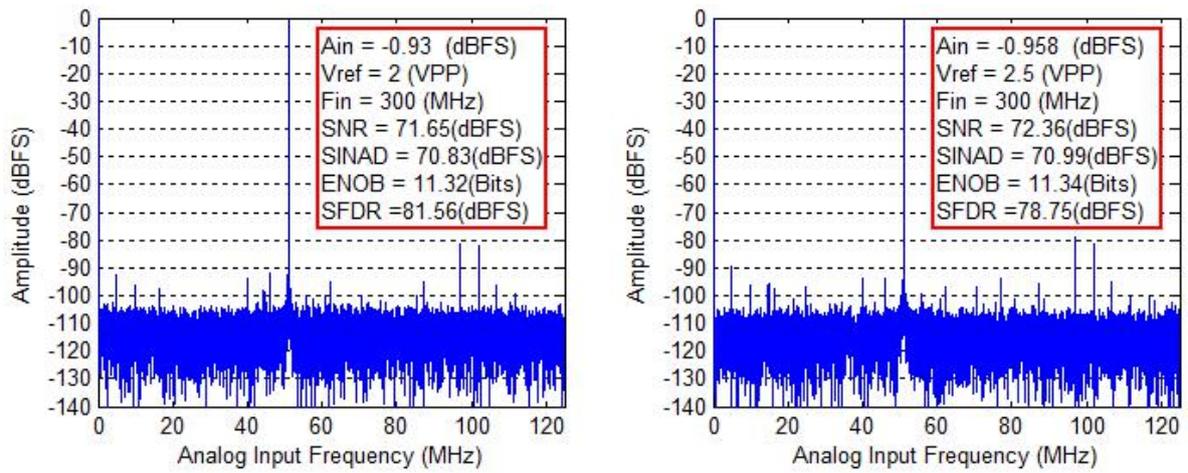


图7 FFT特性: 模拟输入频率 300MHz、采样率 250MSPS

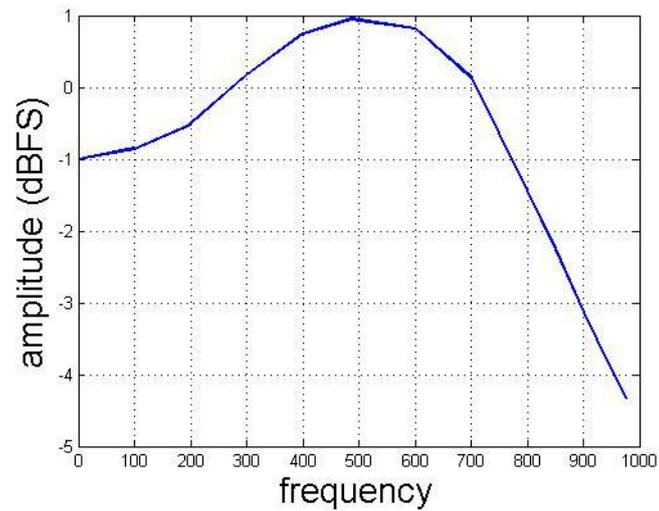


图8 全功率带宽特性

控制功能

该产品控制功能主要通过 SPI 实现，SPI 寄存器定义如下表所示。

地址	Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	默认	备注
08	模式	X	X	X	X	X	X	内部关断模式 00=工作(默认) 01=全芯片关断		0X00	决定芯片的一般工作模式
09	时钟	X	X	X	X	X	X	X	1=DCS	0X01	
0C	增强模式	X	X	X	X	X	X	X	1=随机模式	0X01	启用随机模式
0D	输出测试模式	X	X	产生复位长 PN 序列	产生复位短 PN 序列	X	输出测试模式 0=off(默认) 1=midscale short 2=+FS short 3=-FS short 4=checker-boardoutput 5=PN23 sequence 6=PN9 sequence 7=1/0 word toggle		0X00	当取默认值之外的配置是，测试模式数据将取代正常数据输出	
0E	BIST	X	X	X	X	X	BIST 启动	X	BIST 使能	0X00	BIST 模式配置
0F	ADC 输入	XVREF 0=off(默认), 1=on					模拟关断 0=off默认 1=on			0X00	
10	Offset									0X00	Offset 调整; 会结合 01A0 和 01A1 寄存器。
14	输出模式	X	0	X	输出关断 1=on 0=off默认	1=D DR 使能	输出反向 1=on 0=off默认	输出数据格式 00= 偏移二进制(默认) 01=二进制补码 10=格雷码		0X08	配置输出和数据格式
15	Output-adjust	X	X	X	X	输出驱动电流调整			0X00		

16	输出相位	DCO 输出反 向 1=on 0=off	X	X	X	X	X	X	X	0X00	决定数字输出时钟相位
17	输出延迟	使能 1=on 0=off	X	X	延迟调整					0X00	调整输出时钟的延迟
18	Vref	X	X	X	X	输入范围调整 1010=2.5V _{p-p}			0X0A	调整 VREF	
2C	模拟输入	X	X	X	X	X	输入耦 合模式 0=ac 1=dc	X	X	0X00	
36	Buffer 电流 调整 1	001000=+80%					1	0	0X22		
107	Buffer 电流 调整 2	001000=+80%					X	X	0X20		

应用说明

(1) 输入信号

A/D 转换器模拟输入前端是一个差分缓冲器，为得到最好的动态性能，应匹配差分模拟端的源阻抗。输入端最好串联一个小电阻，有利于降低驱动源输出级的瞬态电流峰值。同时，在每个输入端上放置低 Q 值电感或者磁珠，使得模拟输入的差分电容减小，从而使 A/D 转换器带宽尽量高。高 IF 频率下，在驱动转换器的前端时，低 Q 值电感或者磁珠的使用非常必要。在输入放置一个并联电容或者两个单端电容，提供一个匹配的无源网络，最终在输入端产生一个低通滤波器，以滤掉带外噪声。推荐输入网络如图 9 和图 10 所示。

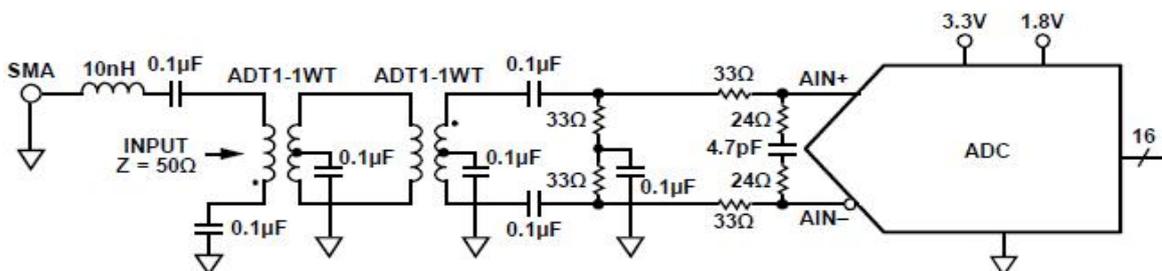


图 9 低频输入前端网络 (~150MHz)

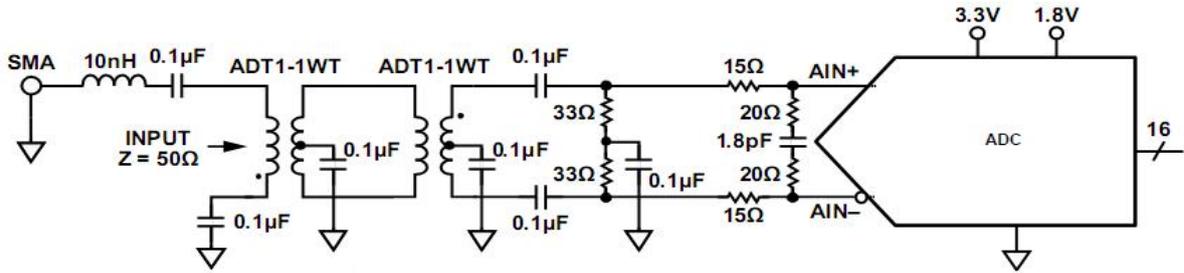


图 10 高频输入前端网络 (中频输入 150MHz~300MHz)

(2) 时钟输入要求

(2.1) 时钟输入结构及推荐端接方式

ADC 时钟输入结构如图 11 所示, 为差分输入结构, 内部提供 0.8V 共模电压。外部时钟应采用交流耦合方式激励。采用巴伦的推荐输入结构如图 12 所示。采用 LVPECL 驱动器的推荐输入结构如图 13 所示。如果采用 LVDS 驱动器, 推荐输入结构如图 14 所示。

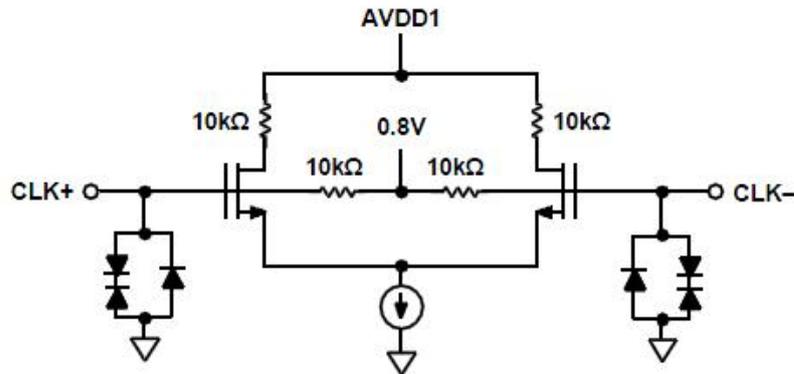


图 11 ADC 时钟输入结构

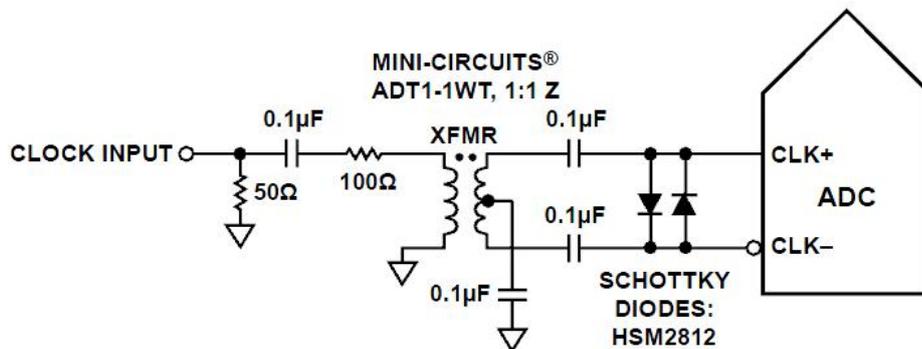


图 12 时钟巴伦激励方案

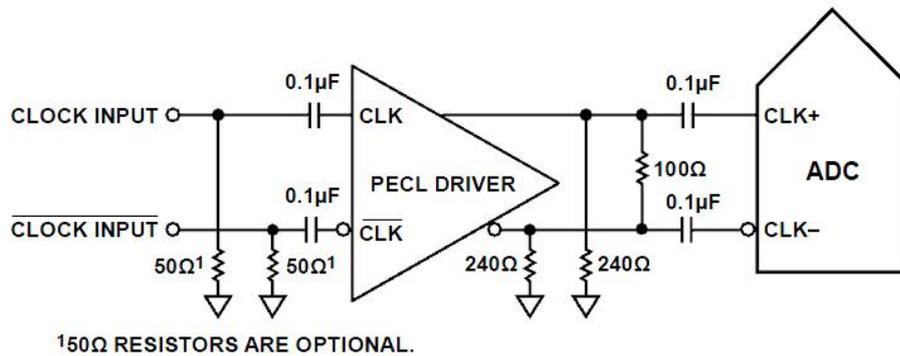


图 13 时钟 LVPECL 信号激励方案

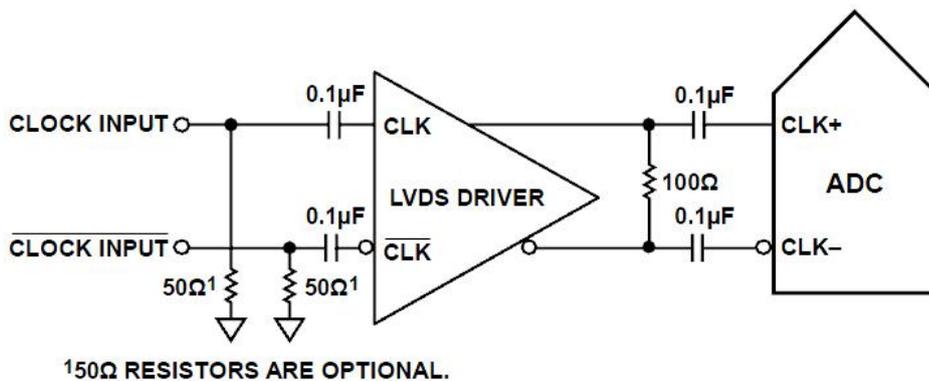


图 14 时钟 LVDS 信号激励方案

(2.2) 时钟电平幅度

差分输入时钟信号幅度最小值为 250mVpp，兼容 LVDS/LVPECL 电平，时钟单端最大可允许幅度为 $V_{CM} \pm 0.9V$ 。为了减少时钟抖动并达到最优性能，应尽量提供上升和下降较快的时钟。正弦波输入情况下提高信号幅度可达到上述效果。在高频输入下，建议尽量增大时钟输入幅度。

(2.3) 占空比

ADC 内部电路采用输入时钟的双沿来产生各种时序信号，为保证芯片发挥其优良性能，应用时，应保证输入时钟占空比为 $(50 \pm 5)\%$ 。

(2.4) 抖动

高速高精度 ADC 对时钟抖动十分敏感，尤其当输入信号频率较高时。信噪比 SNR 与抖动的关系为 $SNR = 20 \times \lg(1/(2\pi \times f_{IN} \times t_{jitter}))$ 。为保证本器件在高频模拟输入条件下具有最佳的 SNR，要求系统时钟抖动小于 100fs。

(2.5) 推荐时钟设计方案

时钟方案采用单端转差分输入，变压器推荐使用 ADT1-1WT，输入输出分别用 0.1 μ F 陶瓷电容 AC 耦合。为获得对称波形，ADC 前可跨接两个背靠背的肖特基二极管。PCB 布线时，差分时钟走线要等长对称，且远离模拟输入端口，时钟与模拟输入端口之间做一些屏蔽（地覆铜）。推荐时钟设计方案如图 15 所示。

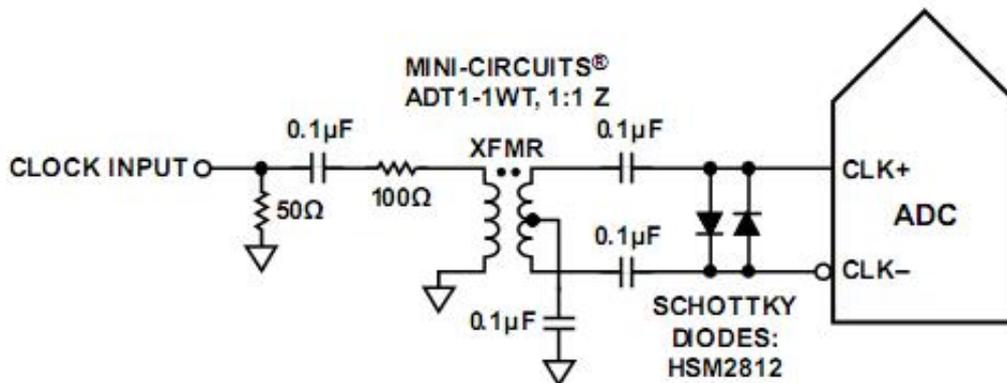


图 15 推荐时钟方案

使用注意事项

- 1、热沉焊盘要与大地充分接触，应该通过尽量多的渠道和足够多的面积与 PCB 板的地层相连。
- 2、应用电路板有一个完整干净的地。
- 3、应用对象为多层布线板且内含独立的地层。
- 4、应用对象电路板的数字地和模拟地尽量分离，不要将数字线布于模拟线旁边或布于 A/D 转换器下。
- 5、模拟电源和数字输出电源端口要接高质量的陶瓷旁路电容，且旁路电容要尽量靠近管脚，连接管脚和旁路电容的连线越短越宽越好。
- 6、差分输入应尽量靠近且相互平行。
- 7、输入连线应尽量短以最小化寄生电容和噪声引入。
- 8、产品所有引出端均设计有静电保护结构，不过大能量电脉冲仍然可能损坏电路，因此在测试、搬运、储藏过程中，应注意静电防护。