

## 产品特点

- 低功耗(全部工作条件下): 1.0W@1GSPS、600mW@500MSPS
- 单载波 WCDMA 的 ACLR: 80dBc@80MHz 中频
- 可调模拟输出: 8.7mA-31.7mA( $R_L=25\Omega-50\Omega$ )
- 新颖的 2×、4×、8×插值器/粗调、复数调制器可以将载波放在 DAC 带宽中的任何位置
- 辅助 DAC 可控制外部 VGA 及失调
- 多芯片同步接口
- 高性能、低噪声锁相环时钟倍频器
- 数字反 *sinc* 滤波器
- 100 引脚 TQFP100 封装

## 应用范围

- 无线基础设施: W-CDMA、GSM、CDMA2000、TD-SCDMA、WiMax、LTE
- 数字高/低中频合成
- 内部数字上变频功能
- 发射分集
- 宽带通信: LMDS、MMDS、点对点通信

## 产品描述

CBM97D79TQ 是一款双通道、16 位、高动态范围数模转换器。该转换器可提供高达 1GSPS 采样速率; 并可以产生最高达奈奎斯特频率的多载波。本产品具有针对直接变频传输应用进行优化的特性, 这些特性包括: 数字实/复调制以及增益与失调补偿等功能。产品中的 DAC 内核输出级经过优化, 可以与主流的模拟正交调制器无缝接口, 如: ADI 公司的 ADL537X FMODE 系列调制器。三线式接口允许对许多内部参数进行编程和回读。DAC 内核满量程输出电流可以在 10mA 至 30mA 范围内进行编程调节。本产品采用先进的 0.18 $\mu$ m CMOS 工艺制造, 采用 1.8V/3.3V 电源供电, 总功耗为 1.0W。

CBM97D79TQ 从功能上可以划分为数字滤波器单元、DAC 内核单元、时钟 (包含内部锁相环) 单元、辅助 DAC、多芯片同步单元等。数字部分对输入的信号进行数字内插和数字域实调制、复调制功能; DAC 内核对数字信号进行数字到模拟的转换; SPI 对整个芯片进行配置; 时钟单元为整个电路提供高质量的时钟、四个辅助 DAC 用于通道增益和失调校正、多芯片同步单元负责多个芯片间的同步功能。

CBM97D79TQ 功能框图如图 1 所示:

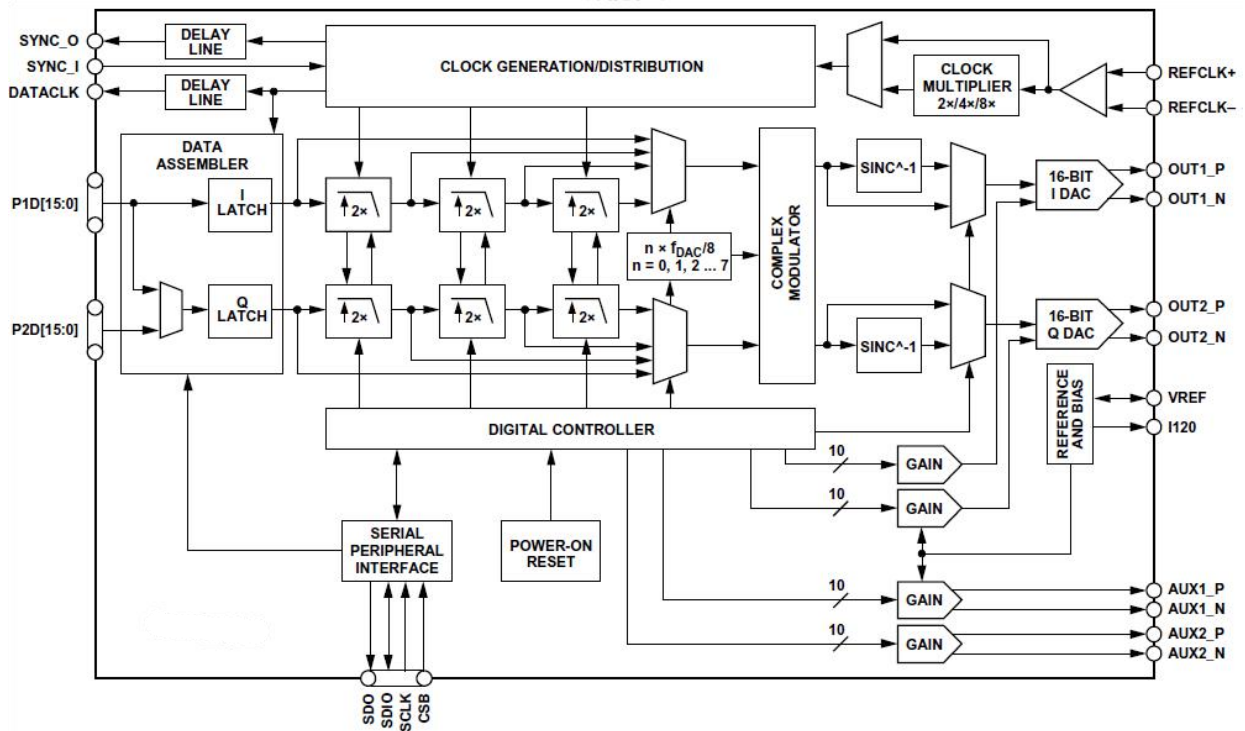
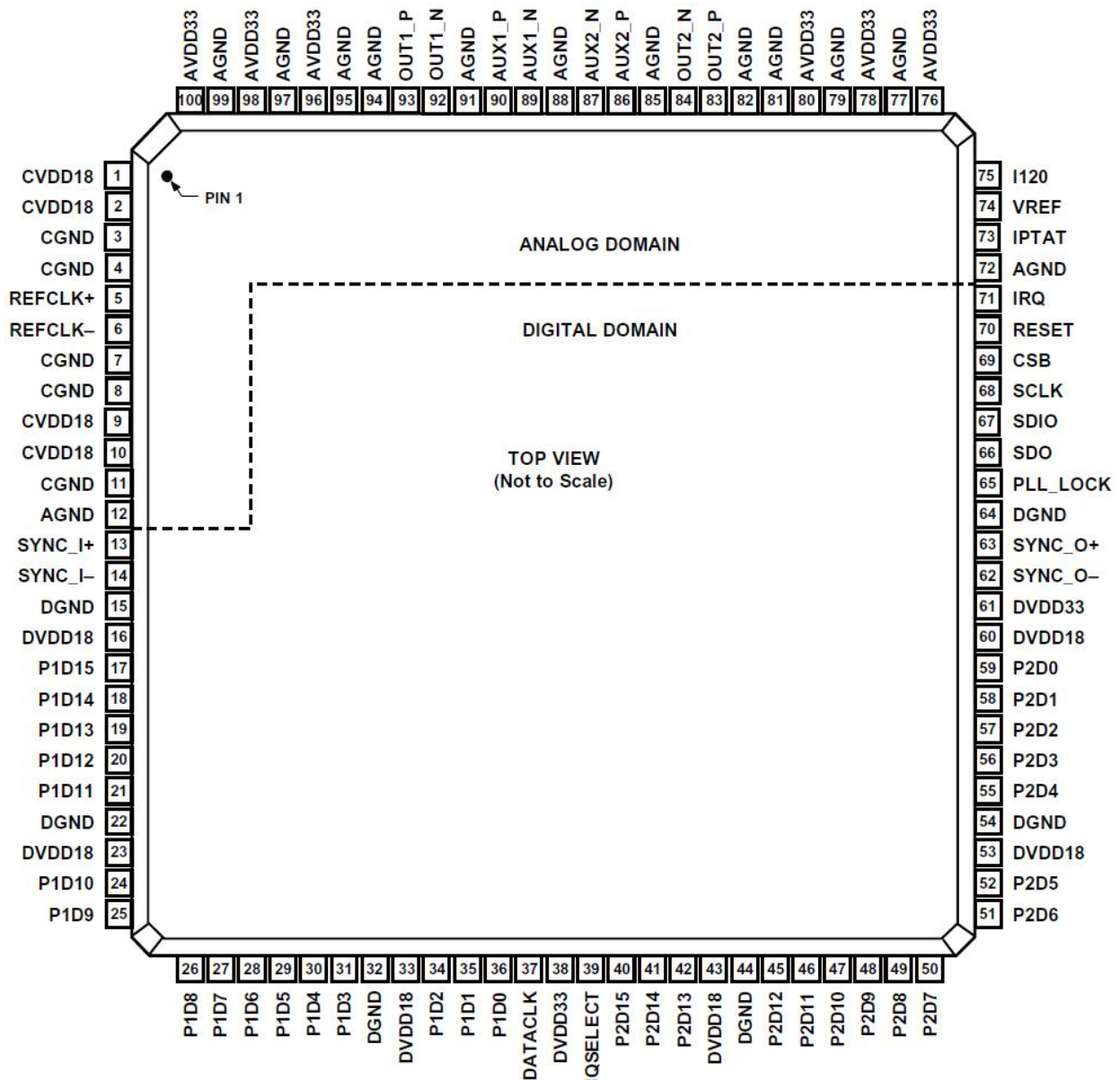


图 1 CBM97D79TQ 功能框图

## 引脚排列图 (俯视图)



### NOTES

- FOR OPTIMAL THERMAL PERFORMANCE, THE EXPOSED PAD SHOULD BE SOLDERED TO THE GROUND PLANE FOR THE 100-LEAD, THERMALLY ENHANCED TQFP PACKAGE.

图 2 引脚排列图

## 引脚简述

| 引脚编号 | 引脚名称    | 描述                  | 引脚编号 | 引脚名称                  | 描述                            |
|------|---------|---------------------|------|-----------------------|-------------------------------|
| 1    | CVDD18  | 1.8V 时钟电源           | 32   | DGND                  | 数字地                           |
| 2    | CVDD18  | 1.8V 时钟电源           | 33   | DVDD18                | 1.8V 数字电源                     |
| 3    | CGND    | 时钟地                 | 34   | P1D2                  | 端口 1 数据输入 D2                  |
| 4    | CGND    | 时钟地                 | 35   | P1D1                  | 端口 1 数据输入 D1                  |
| 5    | REFCLK+ | 差分时钟输入              | 36   | P1D0                  | 端口 1 数据输入 D0(LSB)             |
| 6    | REFCLK- | 差分时钟输入              | 37   | DATACLK               | 数据时钟输出                        |
| 7    | CGND    | 时钟地                 | 38   | DVDD33                | 3.3V 数字电源                     |
| 8    | CGND    | 时钟地                 | 39   | TXENABLE/<br>IQSELECT | 发送使能。单端口模式下, 此引脚也用作 IQSELECT。 |
| 9    | CVDD18  | 1.8V 时钟电源           |      |                       |                               |
| 10   | CVDD18  | 1.8V 时钟电源           | 40   | P2D15                 | 端口 2 数据输入 D15 (MSB)           |
| 11   | CGND    | 时钟地                 | 41   | P2D14                 | 端口 2 数据输入 D14                 |
| 12   | AGND    | 模拟地                 | 42   | P2D13                 | 端口 2 数据输入 D13                 |
| 13   | SYNC_I+ | 差分同步输入              | 43   | DVDD18                | 1.8V 数字电源                     |
| 14   | SYNC_I- | 差分同步输入              | 44   | DGND                  | 数字地                           |
| 15   | DGND    | 数字地                 | 45   | P2D12                 | 端口 2 数据输入 D12                 |
| 16   | DVDD18  | 1.8V 数字电源           | 46   | P2D11                 | 端口 2 数据输入 D11                 |
| 17   | P1D15   | 端口 1 数据输入 D15 (MSB) | 47   | P2D10                 | 端口 2 数据输入 D10                 |
| 18   | P1D14   | 端口 1 数据输入 D14       | 48   | P2D9                  | 端口 2 数据输入 D9                  |
| 19   | P1D13   | 端口 1 数据输入 D13       | 49   | P2D8                  | 端口 2 数据输入 D8                  |
| 20   | P1D12   | 端口 1 数据输入 D12       | 50   | P2D7                  | 端口 2 数据输入 D7                  |
| 21   | P1D11   | 端口 1 数据输入 D11       | 51   | P2D6                  | 端口 2 数据输入 D6                  |
| 22   | DGND    | 数字地                 | 52   | P2D5                  | 端口 2 数据输入 D5                  |
| 23   | DVDD18  | 1.8V 数字电源           | 53   | DVDD18                | 1.8V 数字电源                     |
| 24   | P1D10   | 端口 1 数据输入 D10       | 54   | DGND                  | 数字地                           |
| 25   | P1D9    | 端口 1 数据输入 D9        | 55   | P2D4                  | 端口 2 数据输入 D4                  |
| 26   | P1D8    | 端口 1 数据输入 D8        | 56   | P2D3                  | 端口 2 数据输入 D3                  |
| 27   | P1D7    | 端口 1 数据输入 D7        | 57   | P2D2                  | 端口 2 数据输入 D2                  |
| 28   | P1D6    | 端口 1 数据输入 D6        | 58   | P2D1                  | 端口 2 数据输入 D1                  |
| 29   | P1D5    | 端口 1 数据输入 D5        | 59   | P2D0                  | 端口 2 数据输入 D0 (LSB)            |
| 30   | P1D4    | 端口 1 数据输入 D4        | 60   | DVDD18                | 1.8V 数字电源                     |
| 31   | P1D3    | 端口 1 数据输入 D3        | 61   | DVDD33                | 3.3V 数字电源                     |

|    |          |   |     |        |                  |
|----|----------|---|-----|--------|------------------|
| 62 | SYNC_O-  | 差分同步输出  | 80  | AVDD33 | 模拟地              |
| 63 | SYNC_O+  | 差分同步输出  | 81  | AGND   | 模拟地              |
| 64 | DGND     | 数字地   | 82  | AGND   | 通道 2 差分 DAC 电流输出 |
| 65 | PLL_LOCK | PLL 锁定指示  | 83  | OUT2_P | 通道 2 差分 DAC 电流输出 |
| 66 | SDO      | 三线式接口端口数据输出   | 84  | OUT2_N | 模拟地              |
| 67 | SDIO     | 三线式接口端口数据输入/输出  | 85  | AGND   | 通道 2 辅助 DAC 电流输出 |
| 68 | SCLK     | 三线式接口端口时钟   | 86  | AUX2_P | 通道 2 辅助 DAC 电流输出 |
| 69 | CSB      | 三线式接口端口片选信号   | 87  | AUX2_N | 模拟地              |
| 70 | RESET    | 复位, 高电平有效   | 88  | AGND   |                  |
| 71 | IRQ      | 中断请求  | 89  | AUX1_N | 通道 1 辅助 DAC 电流输出 |
| 72 | AGND     | 模拟地   | 90  | AUX1_P | 通道 1 辅助 DAC 电流输出 |
| 73 | IPTAT    | 工厂测试引脚。输出电流与绝对温度成比例, 25℃时约为 14μA, 斜率约为 20nA/℃。此引脚应保持浮空。 | 91  | AGND   | 模拟地              |
|    |          |   | 92  | OUT1_N | 通道 1 差分 DAC 电流输出 |
|    |          |   | 93  | OUT1_P | 通道 1 差分 DAC 电流输出 |
|    |          |   | 94  | AGND   | 模拟地              |
| 74 | VREF     | 基准电压输出  | 95  | AGND   | 模拟地              |
| 75 | I120     | 120μA 基准电流  | 96  | AVDD33 | 3.3V 模拟电源        |
| 76 | AVDD33   | 3.3   | 97  | AGND   | 模拟地              |
| 77 | AGND     | 3.3V 模拟电源   | 98  | AVDD33 | 3.3V 模拟电源        |
| 78 | AVDD33   | 模拟地   | 99  | AGND   | 模拟地              |
| 79 | AGND     | 3.3V 模拟电源   | 100 | AVDD33 | 3.3V 模拟电源        |

## 推荐工作条件

- 电源电压: 3.3V、1.8V
- 工作温度  $T_A$ : -40℃ ~ 85℃

## 绝对最大额定值

- 电源电压: -0.3V~VDD+0.3V(当该模块电源电压为 1.8V 时, 对应 VDD=1.8V; 当该模块电源电压为 3.3V 时, 对应 VDD=3.3V)
- 贮存温度  $T_S$ : -65℃ ~ 150℃

## 典型测试结果

为了对芯片进行评估，在常温下对芯片的各种工作模式进行了动态参数和静态参数测试。动态参数主要包括无杂散动态范围和三阶交调失真。静态参数包括微分非线性和积分非线性参数的测试。具体的测试结果如下所示。

## 1 动态性能测试

### A 无杂散动态范围(SFDR)

表 1 所示为芯片(贴片测试)在不同工作模式下的无杂散动态范围测试结果。表 1 所示的结果表示了外部直接送入转换时钟和内部开启锁相环两种情况下的测量值。在表 1 中，对应于  $f_{dac}=100\text{MSPS}$ ,  $f_{out}=20\text{MHz}$  情况下，此时未开启锁相环。因为在此情况下，锁相环的 VCO 不能提供该转换频率(ADI 原始产品也为同样情况)。

**表 1 无杂散动态范围测试值**

| 无杂散动态范围(SFDR)                                  | 测试条件             | 测量值(外部时钟) | 测量值(内部锁相环) |
|--|------------------|-----------|------------|
| $f_{dac}=100\text{SPS}, f_{out}=20\text{MHz}$  | 滤波器为1×模式，无偏移，无调制 | 84dBc     | none       |
| $f_{dac}=200\text{SPS}, f_{out}=50\text{MHz}$  | 滤波器为1×模式，无偏移，无调制 | 90dBc     | 88dBc      |
| $f_{dac}=400\text{SPS}, f_{out}=70\text{MHz}$  | 滤波器为2×模式，无偏移，无调制 | 75dBc     | 75dBc      |
| $f_{dac}=800\text{SPS}, f_{out}=70\text{MHz}$  | 滤波器为4×模式，无偏移，无调制 | 76dBc     | 76dBc      |
| $f_{dac}=1000\text{SPS}, f_{out}=10\text{MHz}$ | 滤波器为8×模式，无偏移，无调制 | 73dBc     | 72dBc      |
| $f_{dac}=1000\text{SPS}, f_{out}=40\text{MHz}$ | 滤波器为8×模式，无偏移，无调制 | 85dBc     | 83dBc      |

图 3 所示为芯片在 70MHz 的中频输出，800MSPS 转换速率下的无杂散动态范围测试值。图中所示为 I 通道的测量结果。

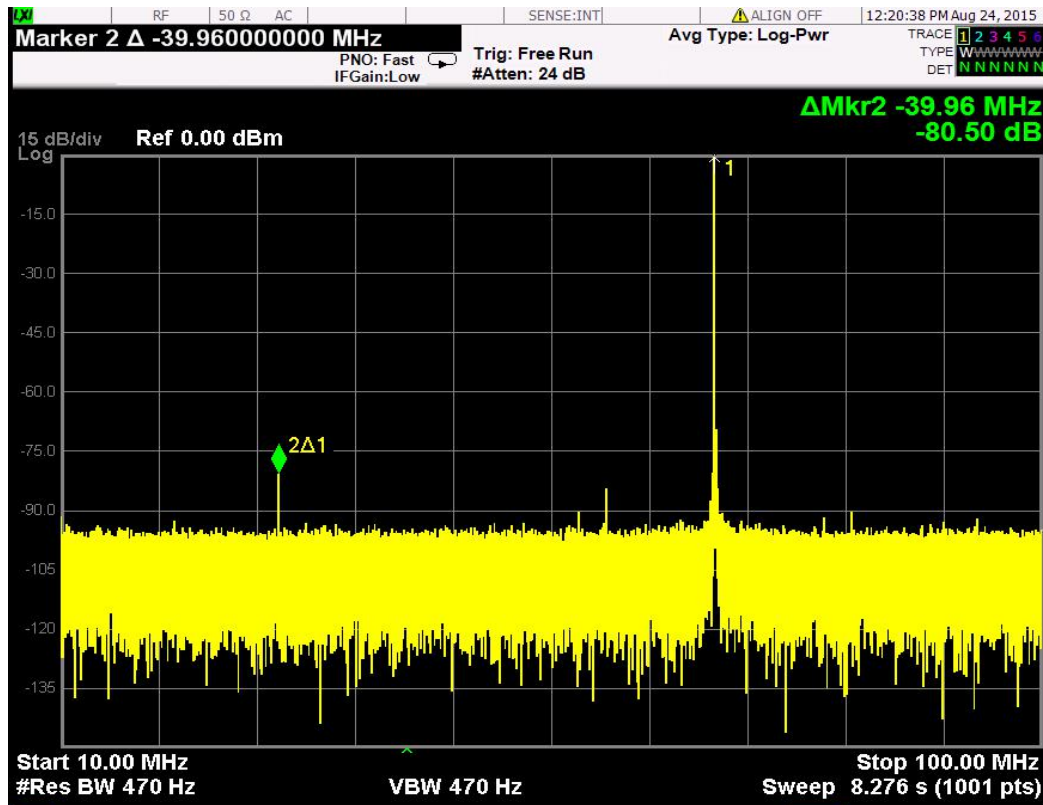


图 3 无杂散动态范围测试结果(中频输出 70MHz, 转换率 800MSPS)

### B 三阶交调失真(IMD)

表 2 所示为芯片(贴片测试)在不同工作模式下的三阶交调失真测试结果。

表 2 三阶交调失真测试值

| 三阶交调失真(IMD)                                       | 测试条件                            | 测量值(外部时钟) | 测量值(内部锁相环) |
|---|---------------------------------|-----------|------------|
| $f_{dac}=200\text{SPS}, f_{out}=50/49\text{MHz}$  | 滤波器为1×模式, 无偏移, 无调制              | 79dBc     | 76dBc      |
| $f_{dac}=400\text{SPS}, f_{out}=60/59\text{MHz}$  | 滤波器为2×模式, 无偏移, 无调制              | 76dBc     | 80dBc      |
| $f_{dac}=400\text{SPS}, f_{out}=80/79\text{MHz}$  | 滤波器为2×模式, 无偏移, 无调制              | 73dBc     | 75dBc      |
| $f_{dac}=800\text{SPS}, f_{out}=100/99\text{MHz}$ | 滤波器为4×模式, 偏移 $f_{data}/2$ , 无调制 | 73dBc     | 67dBc      |

图 4 所示为芯片在 79MHz/80MHz 的中频输出, 400MSPS 转换速率下的三阶双音互调测试值。

图中所示为 I 通道的测量结果。

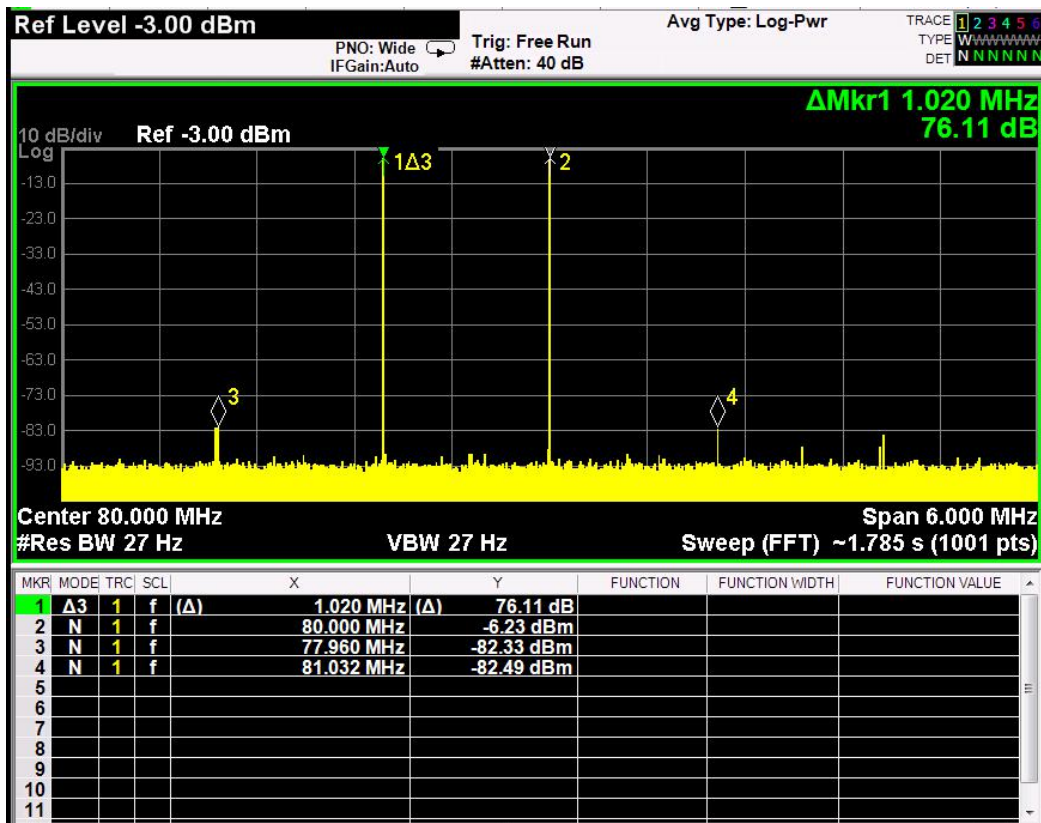


图 4 三阶双音互调测试结果(中频输出 79MHz/80MHz, 转换率 400MSPS)

## 2 静态测试

表 3 芯片静态参数测试值

| 芯片编号 | 电路 | 微分非线性(LSB)  | 积分非线性(LSB) | 失调误差(%FSR) | 增益误差(%FSR) |
|------|----|-------------|------------|------------|------------|
| 1    | I  | -0.61~2.72  | -2.34~5.45 | 0.003%     | -1.60%     |
|      | Q  | -1.14~1.75  | -2.47~3.85 | 0.004%     | -1.60%     |
| 2    | I  | -1.86~1.28  | -3.08~3.24 | 0.003%     | -1.80%     |
|      | Q  | -2.55~1.81  | -6.85~2.76 | 0.004%     | -1.80%     |
| 3    | I  | -2.69~1.33  | -2.41~4.04 | 0.003%     | -1.60%     |
|      | Q  | -3.62~0.08  | -2.84~2.96 | 0.004%     | -1.60%     |
| 4    | I  | -2.63~0.76  | -5.18~1.51 | 0.003%     | -2.20%     |
|      | Q  | -2.16~1.59  | -3.49~3.29 | 0.004%     | -2.20%     |
| 5    | I  | -1.75~2.16  | -4.08~4.37 | 0.002%     | -1.60%     |
|      | Q  | -2.74~0.814 | -2.69~4.33 | 0.004%     | -1.60%     |

表 3 所示为对五只随机选取的芯片进行静态测试的测试结果。



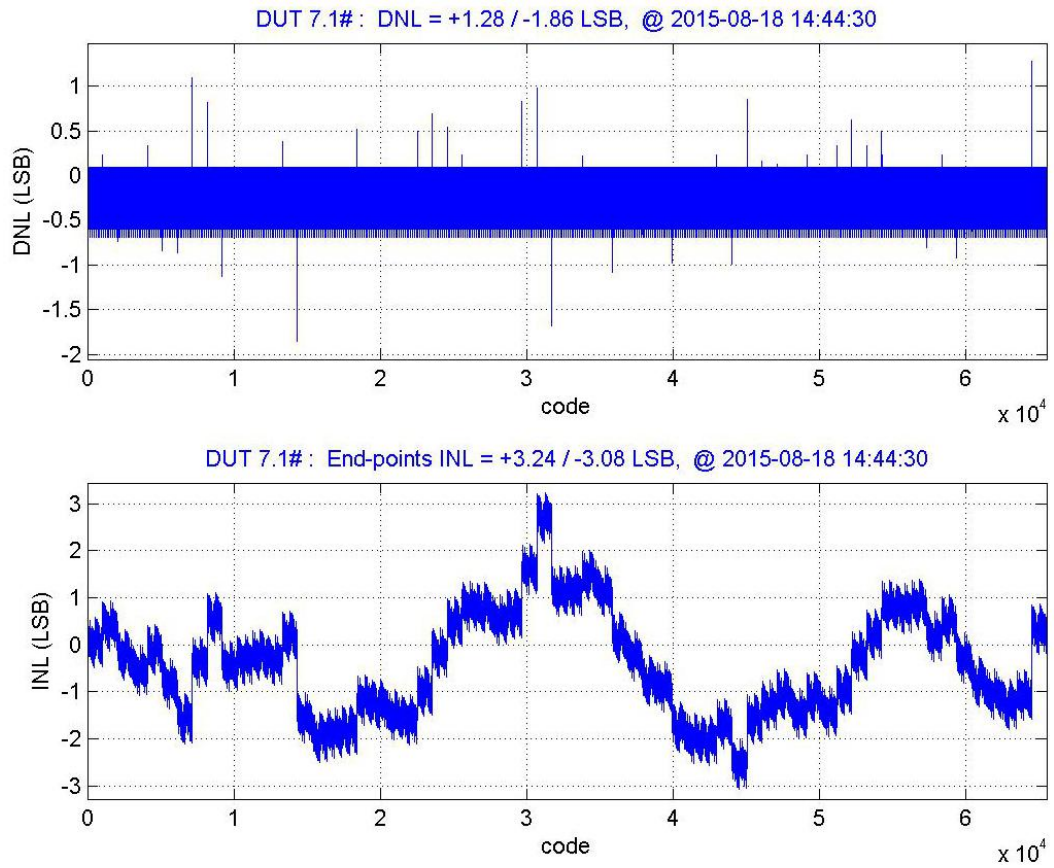
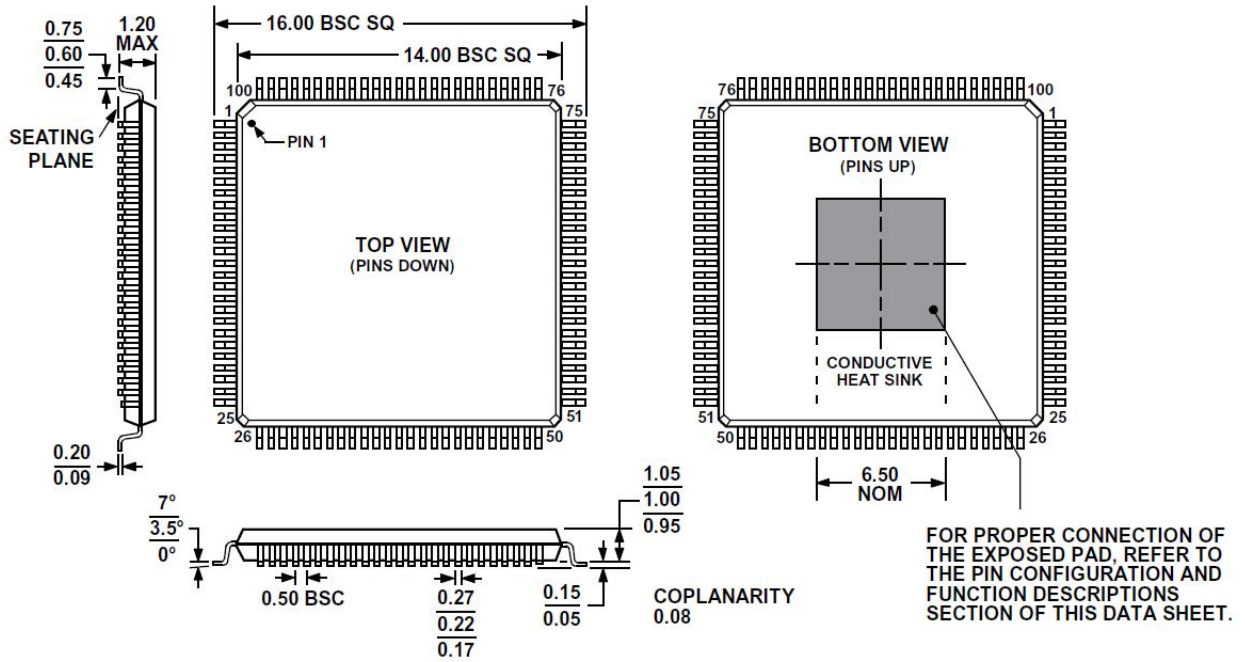


图 5 典型微分非线性/积分非线性图

图 5 所示为典型的微分非线性和积分非线性的实测图形。

外形尺寸图



COMPLIANT TO JEDEC STANDARDS MS-026-AED-HDT

单位: 毫米 (mm)

## 注意事项

### 1. 产品安装注意事项:

- 1) 要求应用对象电路板有一个完整干净的地。
- 2) 要求应用对象为多层布线板且内含独立的地层。

### 2. 产品使用注意事项:

- 1) 要求应用对象电路板的数字地和模拟地尽量分离，不要将数字线布于模拟线旁边或于 DAC 底下。
- 2) 输入连线应尽量短以最小化寄生电容和噪声引入。
- 3) 很重要的是，芯片的地应该通过尽量多的渠道和足够多的面积与 PCB 板的地层相连。

### 3. 产品防护注意事项:

- 1) 产品所有引出端均设计有静电保护结构，不过大能量电脉冲仍然可能损坏电路，因此在测试、搬运、储藏过程中，应注意静电防护。

## 常见故障及处理办法

1. 无信号输出：检查电源电压、输入信号、时钟是否正确加载。
2. 出现溢出信号：检查基准是否正常工作，输入信号幅度是否正确。
3. 器件工作不稳定：检查电源，保证电源电压稳定。

**参数产品信息表**

|                       |  | 国内产品                                      | 国外产品                 |
|-----------------------|--|---|----------------------|
| 承研承制单位                |  | 芯佰微电子                                     | ADI                  |
| 详细规范编号及名称             |  | CBM97D79TQ 型双通道 16 位<br>1GSPS D/A 转换器详细规范 | —                    |
| 产品型号 (规格)             |  | CBM97D79TQ                                | AD9779ABSVZRL        |
| 电<br>性<br>能<br>指<br>标 | 分辨率  | 16bits                                    | 16bits               |
|                       | 微分非线性  | -6LSB~6 LSB                               | ±2.1LSB (典型值)        |
|                       | 积分非线性  | -10LSB~10LSB                              | ±6LSB (典型值)          |
|                       | 失调误差   | -1%FSR~+1%FSR                             | -0.001%FSR~0.001%FSR |
|                       | DAC 失调误差温度系数   | -300ppm FSR/°C~<br>300ppm FSR/°C          | 0.04ppm FSR/°C (典型值) |
|                       | 增益误差   | -8%FSR~+8%FSR                             | ±2%FSR(典型值)          |
|                       | DAC 增益误差温度系数   | -800ppm FSR/°C~<br>800ppm FSR/°C          | 100ppm FSR/°C(典型值)   |
|                       | 内部基准电压   | 1.0V~1.5V                                 | 1.2V (典型值)           |
|                       | 基准电压温度系数   | -250ppm/°C~250ppm/°C                      | 30ppm/°C(典型值)        |
|                       | 内部基准输出电阻   | 3.5kΩ~7.5kΩ                               | 5KΩ (典型值)            |
|                       | 满量程输出电流  | 7.5mA~32.5mA                              | 8.66mA~31.66mA       |
|                       | DAC 输出电压顺从范围   | -1V~1V                                    | -1.0V~1.0V           |
|                       | 主 DAC 输出电阻   | 设计保证                                      | 10MΩ (典型值)           |
|                       | 主 DAC 输出单调性  | 设计保证                                      | 设计保证                 |
|                       | 辅助 DAC 输出分辨率   | 设计保证                                      | 10 位                 |
|                       | 辅助 DAC 输出电阻  | 设计保证                                      | 1MΩ (典型值)            |
|                       | 辅助 DAC 输出单调性   | 设计保证                                      | 设计保证                 |
|                       | 辅助 DAC 满量程输出电流   | -2.5mA~2.5mA                              | -1.998mA~1.998mA     |
|                       | 辅助 DAC 输出电压范围 (源)  | 0V~1.6V                                   | 0V~1.6V              |
|                       | 辅助 DAC 输出电压范围 (吸)  | 0.8V~1.6V                                 | 0.8V~1.6V            |
|                       | 模拟电源电压( $V_{DDA}$ )  | 3.13V~3.47V                               | 3.13V~3.47V          |
|                       | 模拟电源电压( $V_{DDC}$ )  | 1.7V~2.05V                                | 1.7V~2.05V           |
|                       | 数字电源电压( $V_{DD<3.3>}$ )  | 3.13V~3.47V                               | 3.13V~3.47V          |
|                       | 数字电源电压( $V_{DD<1.8>}$ )  | 1.7V~2.05V                                | 1.7V~2.05V           |
|                       | 功耗 (1X 模式, $f_{DAC}=100\text{MSPS}$ , $I_F=1\text{MHz}$ )            | --  | ≤300mW (典型值)         |
|                       | 功耗 (2X 模式, $f_{DAC}=320\text{MSPS}$ ,<br>$I_F=16\text{MHz}$ , PLL 关) | ≤650mW                                    | 498mW (典型值)          |

|                       |   |   |   |
|-----------------------|---|---|---|
| 电<br>性<br>能<br>指<br>标 | 功耗(2X 模式, $f_{DAC}=320\text{MSPS}$ ,<br>IF=16MHz, PLL 开)                        | --  | 588mW (典型值)   |
|                       | 功耗(4X 模式, $f_{DAC}/4$ 调制, $f_{DAC}=500\text{MSPS}$ ,<br>IF=137.5MHz,<br>QDAC 关) | --  | 572mW (典型值)   |
|                       | 功耗(8X 模式, $f_{DAC}/4$ 调制, $f_{DAC}=1\text{GMSPS}$ ,<br>IF=262.5MHz)             | $\leq 1500\text{mW}$                                  | 980mW (典型值)   |
|                       | 功耗(掉电模式)  | $\leq 20\text{mW}$                                    | $\leq 9.8\text{mW}$                                       |
|                       | $V_{DDA}$ 电源电压抑制比   | $-2\%\text{FSR}/\text{V} \sim 2\%\text{FSR}/\text{V}$ | $-0.3\%\text{FSR}/\text{V} \sim 0.3\%\text{FSR}/\text{V}$ |
|                       | CMOS 输入逻辑高电平  | $\geq 2.5\text{V}$                                    | $\geq 2.0\text{V}$  |
|                       | CMOS 输入逻辑低电平  | $\leq 0.4\text{V}$                                    | $\leq 0.8\text{V}$  |
|                       | 1×模式最大输入数据率   | 设计保证  | $\geq 300\text{MSPS}$                                     |
|                       | 2×模式最大输入数据率   | 设计保证  | $\geq 250\text{MSPS}$                                     |
|                       | 4×模式最大输入数据率   | 设计保证  | $\geq 200\text{MSPS}$                                     |
|                       | 8×模式最大输入数据率   | $\geq 100\text{MSPS}$                                 | $\geq 112.5\text{MSPS}$                                   |
|                       | CMOS 输出逻辑高电平  | $\geq 2\text{V}$                                      | $\geq 2.4\text{V}$  |
|                       | CMOS 输出逻辑低电平  | $\leq 0.8\text{V}$                                    | $\leq 0.4\text{V}$  |
|                       | DATACLK 输出占空比   | 35%~65%   | 40% ~60%  |
|                       | LVDS 输入电压范围   | 设计保证  | 825mV~1575mV  |
|                       | LVDS 输入差分阈值电压   | 设计保证  | -100mV~100mV  |
|                       | LVDS 输入差分迟滞电压   | 设计保证  | 20mV(典型值)   |
|                       | 差分输入阻抗  | 设计保证  | 80Ω~120Ω  |
|                       | LVDS 输入速率   | 设计保证  | $\leq 250\text{MSPS}$                                     |
|                       | SYNC_I 相对 REFCLK 建立时间   | 设计保证  | $\geq 0.4\text{ns}$                                       |
|                       | SYNC_I 相对 REFCLK 保持时间   | 设计保证  | $\geq 0.55\text{ns}$                                      |
|                       | LVDS 输出逻辑高电压  | 设计保证  | $\leq 1375\text{mV}$                                      |
|                       | LVDS 输出逻辑低电平  | 设计保证  | $\geq 1025\text{mV}$                                      |
|                       | LVDS 输出差分电压   | 设计保证  | 150mV~250mV   |
|                       | LVDS 输出失调电压   | 设计保证  | 1150mV~1250mV)  |
|                       | LVDS 输出阻抗   | 设计保证  | 80Ω~120Ω  |
|                       | DAC 时钟输入差分峰峰值电压   | 600mV~1800mV  | 400mV~2000mV  |
|                       | DAC 时钟输入共模电压  | 350mV~450mV   | 300mV~500mV   |
|                       | 工作频率  | $\geq 1000\text{MHz}$                                 | $\geq 900\text{MHz}$                                      |
|                       | 最大时钟速率  | $\geq 200\text{MHz}$                                  | $\geq 250\text{MHz}$ )                                    |
|                       | 输入数据相对 DATACLK 建立时间   | 设计保证  | $\geq 3.0\text{ns}$                                       |
|                       | 输入数据相对 DATACLK 保持时间   | 设计保证  | $\geq -0.05\text{ns}$                                     |
| 输入数据相对 REFCLK 建立时间    | 设计保证  | $\geq -0.80\text{ns}$                                 |   |
| 输入数据相对 REFCLK 保持时间    | 设计保证  | $\geq 3.8\text{ns}$                                   |   |

|                       |   |        |                          |
|-----------------------|---|--------|--------------------------|
| 电<br>性<br>能<br>指<br>标 | 1×模式延迟  | 设计保证   | 25 个 DACCLK 周期<br>(典型值)  |
|                       | 2×模式延迟  | 设计保证   | 70 个 DACCLK 周期<br>(典型值)  |
|                       | 4×模式延迟  | 设计保证   | 146 个 DACCLK 周期<br>(典型值) |
|                       | 8×模式延迟  | 设计保证   | 297 个 DACCLK 周期<br>(典型值) |
|                       | 反 SINC 模式   | 设计保证   | 18 个 DACCLK 周期<br>(典型值)  |
|                       | 三线式接口最大时钟速率   | ≥6MHz  | ≥40MHz                   |
|                       | 时钟高脉冲最小宽度   | 设计保证   | ≥12.5ns                  |
|                       | 时钟低脉冲最小宽度   | 设计保证   | ≥12.5ns                  |
|                       | SDIO 建立时间   | 设计保证   | ≥2.8ns                   |
|                       | SDIO 保持时间   | 设计保证   | ≥0.0ns                   |
|                       | CSB 建立时间  | 设计保证   | ≥2.8ns                   |
|                       | SDO 数据有效时间  | 设计保证   | ≥2.0ns                   |
|                       | 上电时间  | 设计保证   | 260mS (典型值)              |
|                       | 复位信号最小脉冲宽度  | 设计保证   | ≤2 个 DACCLK              |
|                       | 无杂散动态范围<br>( $f_{DAC}=100\text{MSPS}, f_{out}=20\text{MHz}$ )     | ≥65dBc | 82dBc (典型值)              |
|                       | 无杂散动态范围<br>( $f_{DAC}=200\text{MSPS}, f_{out}=50\text{MHz}$ )     | --     | 82dBc (典型值)              |
|                       | 无杂散动态范围<br>( $f_{DAC}=400\text{MSPS}, f_{out}=70\text{MHz}$ )     | --     | 80dBc (典型值)              |
|                       | 无杂散动态范围<br>( $f_{DAC}=800\text{MSPS}, f_{out}=70\text{MHz}$ )     | ≥60dBc | 87dBc (典型值)              |
|                       | 双音互调( $f_{DAC}=200\text{MSPS}, f_{out}=50\text{MHz}$ )            | ≥65dBc | 91dBc (典型值)              |
|                       | 双音互调( $f_{DAC}=200\text{MSPS}, f_{out}=50\text{MHz}$ )            | --     | 85dBc (典型值)              |
|                       | 双音互调( $f_{DAC}=400\text{MSPS}, f_{out}=80\text{MHz}$ )            | --     | 81dBc (典型值)              |
|                       | 双音互调( $f_{DAC}=800\text{MSPS}, f_{out}=100\text{MHz}$ )           | ≥55dBc | 81dBc (典型值)              |
|                       | 噪声谱密度( $f_{DAC}=200\text{MSPS}, f_{out}=80\text{MHz}$ )           | --     | -158dBm/Hz (典型值)         |
|                       | 噪声谱密度( $f_{DAC}=400\text{MSPS}, f_{out}=80\text{MHz}$ )           | --     | -160dBm/Hz (典型值)         |
|                       | 噪声谱密度( $f_{DAC}=800\text{MSPS}, f_{out}=80\text{MHz}$ )           | --     | -161dBm/Hz (典型值)         |
|                       | 第一临信道泄露<br>( $f_{DAC}=491.52\text{MSPS}, f_{out}=100\text{MHz}$ ) | --     | 79dBc (典型值)              |
|                       | 第一临信道泄露<br>( $f_{DAC}=491.52\text{MSPS}, f_{out}=200\text{MHz}$ ) | --     | 74dBc (典型值)              |

|                       |  |  |                               |
|-----------------------|--|--|-------------------------------|
|                       | 第二临信道泄露<br>( $f_{DAC}=491.52\text{MSPS}$ , $f_{out}=100\text{MHz}$ ) | --   | 81dBc (典型值)                   |
|                       | 第二临信道泄露<br>( $f_{DAC}=491.52\text{MSPS}$ , $f_{out}=200\text{MHz}$ ) | --   | 78dBc (典型值)                   |
| 环<br>境<br>适<br>应<br>性 | 工作温度   | -40°C~85°C   | -40°C~85°C                    |
|                       | 贮存温度   | -65°C~150°C  | -65°C~150°C                   |
|                       | 扫频振动   | GJB548B-2005 方法 2007<br>试验条件 A   | —                             |
|                       | 热冲击  | GJB548B-2005 方法 1011<br>试验条件 B, 15 次循环   | —                             |
|                       | 机械冲击   | GJB548B-2005 方法 2002<br>试验条件 B   | —                             |
|                       | 质量等级   | 工业级  | 工业级                           |
| 参考的国外公司及资料名称          |  | ADI 公司 AD9779A 数据手册  | —                             |
| 封装形式和尺寸               |  | TQFP100<br>16mm×16mm×1.2mm)  | SV-100-1<br>(16mm×16mm×1.2mm) |
| 替代建议                  |  | <input checked="" type="checkbox"/> 直接替代 <input type="checkbox"/> 有效替代 <input type="checkbox"/> 功能替代 |                               |