

产品特性

单通道20位电压输出DAC, ±2 LSB INL
 输出噪声频谱密度: 8 nV/√Hz
 线性误差长期稳定性: 0.1 LSB
 增益误差温度系数: ±0.018 ppm/°C
 输出电压建立时间: 2.5 μs
 中间电平毛刺脉冲: 3.5 nV-s
 集成式精密基准电压缓冲器
 工作温度范围: -40°C至+125°C
 4 mm x 5 mm LFCSP封装
 宽电源电压范围: 最高达±16.5 V
 35 MHz施密特触发数字接口
 1.8 V兼容数字接口

应用

医疗仪器
 测试与测量
 工业控制
 科学和航空航天仪器
 数据采集系统
 数字增益和失调电压调整
 电源控制

概述

AD5790¹是一款单通道、20位、无缓冲电压输出DAC，采用最高33 V的双极性电源供电。正基准电压输入范围为5 V至V_{DD} - 2.5 V，负基准电压输入范围为V_{SS} + 2.5 V至0 V。相对精度最大值为±2 LSB，保证工作单调性，差分非线性(DNL)为-1 LSB至+3 LSB。

这款器件采用多功能三线式串行接口，能够以最高35 MHz的时钟速率工作，并与标准SPI、QSPI™、MICROWIRE™、DSP接口兼容。片内提供基准电压缓冲。它内置上电复位电路，确保DAC上电后输出至0 V并保持已知输出阻抗状态，直到对该器件执行一次有效的写操作为止。禁用特性可将输出置于已定义的负载状态。输出箝位特性可将输出置于已定义的负载状态。

¹ 受美国专利第7,884,747和8,089,380号保护。

功能框图

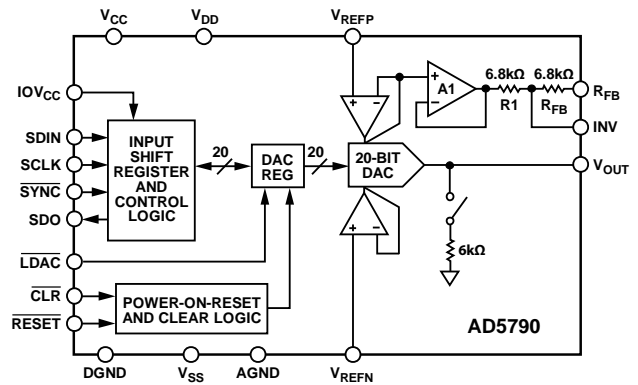


图1.

表1. 相关器件

产品型号	说明
AD5791	20位、1 LSB精密DAC
AD5780	18位、±1 LSB INL电压输出DAC，缓冲基准输入
AD5781	18位、±1 LSB INL电压输出DAC，非缓冲基准输入
AD5760	16位、±0.5 LSB INL电压输出DAC
AD5541A/AD5542A	16位、1 LSB精密5 V DAC

产品特色

- 20位分辨率
- 宽电源电压范围：最高达±16.5 V
- 工作温度范围：至+125
- 低噪声：8 nV/√Hz
- 低增益误差温度系数：±0.018 ppm/°C

配套产品

输出放大器缓冲器：[AD8675](#)、[ADA4898-1](#)、[ADA4004-1](#)

外部基准源：[ADR445](#)、[ADR4550](#)

DC-DC设计工具：[ADIsimPower™](#)

欲了解更多配套产品，请访问[AD5790产品页面](#)

Rev. D

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781.329.4700 ©2011-2013 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

目录

产品特性	1	DAC架构	18
应用	1	串行接口	18
功能框图	1	独立操作	19
概述	1	硬件控制引脚	19
产品特点	1	片内寄存器	19
配套产品	1	AD5790	23
修订历史	2	上电至0 V	23
技术规格	3	配置AD5790	23
时序特性	5	DAC输出状态	23
绝对最大额定值	7	输出放大器配置	23
ESD警告	7	应用信息	25
引脚配置和功能描述	8	典型工作电路	25
典型性能参数	9	评估板	26
术语	17	外形尺寸	27
工作原理	18	订购指南	27

修订历史

2013年7月—修订版C至修订版D

更改 t_1 测试条件/注释栏和尾注2	5
删除图4	7
更改引脚11描述	8
删除“菊花链操作”部分	19

2012年7月—修订版B至修订版C

更改“配套产品”部分和尾注1	1
更改“术语”部分	18
更改图53	24
增加图55	26

2012年2月—修订版A至修订版B

删除“线性补偿”部分	24
------------------	----

2011年12月—修订版0至修订版A

更改表1	1
更改表2	4
更改图48	17
更改“DAC寄存器”部分	21
更改表11	22
更新“外形尺寸”部分	28

2011年11月—修订版0：初始版

技术规格

除非另有说明, $V_{DD} = 12.5\text{ V}$ 至 16.5 V , $V_{SS} = -16.5\text{ V}$ 至 -12.5 V , $V_{REFP} = 10\text{ V}$, $V_{REFN} = -10\text{ V}$, $V_{CC} = 2.7\text{ V}$ 至 $+5.5\text{ V}$, $IOV_{CC} = 1.71\text{ V}$ 至 5.5 V , $R_L =$ 空载, $C_L =$ 空载, 所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表2.

参数	B级 ¹			单位	测试条件/注释
	最小值	典型值	最大值		
静态性能 ²					
分辨率	20			位	
积分非线性误差(相对精度)	-2	±1.2	+2	LSB	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$, $T_A = 0^\circ\text{C}$ 至 105°C
	-3	±1.2	+3	LSB	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$, $T_A = -40^\circ\text{C}$ 至 $+105^\circ\text{C}$
	-4	±1.2	+4	LSB	$V_{REFX} = \pm 10\text{ V}$ 、 $+10\text{ V}$ 和 $+5\text{ V}$
差分非线性误差	-1		+2	LSB	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$, $T_A = 0^\circ\text{C}$ 至 105°C
	-1		+3	LSB	$V_{REFX} = \pm 10\text{ V}$ 、 $+10\text{ V}$ 和 $+5\text{ V}$
长期线性误差稳定性 ³		0.1		LSB	750小时后, $T_A = 135^\circ\text{C}$
满量程误差	-12	±3.8	+12	LSB	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
	-22	±2.7	+22	LSB	$V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$
	-40	±1.8	+40	LSB	$V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$
	-9	±3.8	+9	LSB	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$, $T_A = 0^\circ\text{C}$ 至 105°C
	-12	±2.7	+12	LSB	$V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$, $T_A = 0^\circ\text{C}$ 至 105°C
	-22	±1.8	+22	LSB	$V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$, $T_A = 0^\circ\text{C}$ 至 105°C
满量程误差温度系数		±0.026		ppm/°C	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
零刻度误差	-19	±1.3	+19	LSB	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
	-40	±0.7	+40	LSB	$V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$
	-82	±0.9	+82	LSB	$V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$
	-8	±1.3	+8	LSB	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$, $T_A = 0^\circ\text{C}$ 至 105°C
	-13	±0.7	+13	LSB	$V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$, $T_A = 0^\circ\text{C}$ 至 105°C
	-22	±0.9	+22	LSB	$V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$, $T_A = 0^\circ\text{C}$ 至 105°C
零电平误差温度系数		±0.025		ppm/°C	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
增益误差	-19	±2.3	+19	ppm FSR	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
	-35	±1.9	+35	ppm FSR	$V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$
	-68	±0.9	+68	ppm FSR	$V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$
	-9	±2.3	+9	ppm FSR	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$, $T_A = 0^\circ\text{C}$ 至 105°C
	-15	±2.9	+15	ppm FSR	$V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$, $T_A = 0^\circ\text{C}$ 至 105°C
	-22	±0.9	+22	ppm FSR	$V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$, $T_A = 0^\circ\text{C}$ 至 105°C
增益误差温度系数		±0.018		ppm/°C	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
$R1$ 、 R_{FB} 匹配		0.015		%	
输出特性					
输出电压范围	V_{REFN}		V_{REFP}	V	
输出电压建立时间		2.5		μs	10 V阶跃至0.02%, 使用ADA4898-1缓冲器, 单位增益模式
		3.5		μs	500代码阶跃至±1 LSB ⁴
输出噪声频谱密度		8		nV/√Hz	1 kHz, DAC代码 = 中间电平
		8		nV/√Hz	10 kHz, DAC代码 = 中间电平
输出电压噪声		1.1		μV p-p	DAC编码 = 中量程, 0.1 Hz至10 Hz带宽
中间电平毛刺脉冲 ⁴		14		nV-sec	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
		3.5		nV-sec	$V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$
		4		nV-sec	$V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$
MSB段毛刺脉冲 ⁴		14		nV-sec	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$, 参见图42
		3.5		nV-sec	$V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$, 参见图43
		4		nV-sec	$V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$, 参见图44

AD5790

参数	B级 ¹			单位	测试条件/注释
	最小值	典型值	最大值		
输出使能毛刺脉冲		57		nV-sec	消除输出接地箝位时
数字馈通		0.27		nV-sec	
直流输出阻抗(正常模式)		3.4		kΩ	
直流输出阻抗(输出箝位至接地)		6		kΩ	
基准输入					$T_A = 0^\circ\text{C}$ 至 105°C V_{REFP}, V_{REFN}
V_{REFP} 输入范围	5		$V_{DD} - 2.5$	V	
V_{REFN} 输入范围	$V_{SS} + 2.5$		0	V	
输入偏置电流	-20	-0.63	+20	nA	
输入电容	-4	-0.63	+4	pF	
逻辑输入					$IOV_{CC} = 1.71\text{ V}$ 至 5.5 V $IOV_{CC} = 1.71\text{ V}$ 至 5.5 V
输入电流 ⁵	-1		+1	μA	
输入低电压 V_{IL}			$0.3 \times IOV_{CC}$	V	
输入高电压 V_{IH}	$0.7 \times IOV_{CC}$			V	
引脚电容		5		pF	
逻辑输出(SDO)					$IOV_{CC} = 1.71\text{ V}$ 至 5.5 V , 吸入1 mA $IOV_{CC} = 1.71\text{ V}$ 至 5.5 V , 流出1 mA
输出低电压 V_{OL}			0.4	V	
输出高电压 V_{OH}	$IOV_{CC} - 0.5$			V	
高阻抗漏电流			± 1	μA	
高阻抗输出电容		3		pF	
电源要求					所有数字输入接DGND或 IOV_{CC} $IOV_{CC} \leq V_{CC}$ SDO禁用 $\Delta V_{DD} \pm 10\%$, $V_{SS} = -15\text{ V}$ $\Delta V_{SS} \pm 10\%$, $V_{DD} = 15\text{ V}$ $\Delta V_{DD} \pm 200\text{ mV}$, 50 Hz/60 Hz, $V_{SS} = -15\text{ V}$ $\Delta V_{SS} \pm 200\text{ mV}$, 50 Hz/60 Hz, $V_{DD} = 15\text{ V}$
V_{DD}	7.5		$V_{SS} + 33$	V	
V_{SS}	$V_{DD} - 33$		-2.5	V	
V_{CC}	2.7		5.5	V	
IOV_{CC}	1.71		5.5	V	
I_{DD}		10.3	14	mA	
I_{SS}		-10	-14	mA	
I_{CC}		600	900	μA	
IOI_{CC}		52	140	μA	
直流电源抑制比		± 7.5		μV/V	
		± 1.5		μV/V	
交流电源抑制比		90		dB	
		90		dB	

¹ 温度范围: -40°C 至 125°C , 典型条件: $T_A = +25^\circ\text{C}$, $V_{DD} = +15\text{ V}$, $V_{SS} = -15\text{ V}$, $V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$ 。

² 通过AD8675ARZ输出缓冲器描述性能。

³ 线性误差指INL和DNL两种误差, 任一参数经过一定时间后均可能发生规定量的漂移。

⁴ AD5790配置为单位增益模式, 输出端为低通RC滤波器。R = 300 Ω, C = 143 pF(包括输出缓冲器外侧总电容, 引脚电容等)。

⁵ 单一逻辑引脚中流过的电流。

时序特性

除非另有说明， $V_{CC} = 2.7\text{ V}$ 至 5.5 V ，所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表3.

参数	限值 ¹		单位	测试条件/注释
	$IOV_{CC} = 1.71\text{ V}$ 至 3.3 V	$IOV_{CC} = 3.3\text{ V}$ 至 5.5 V		
t_1^2	40	28	ns(最小值)	SCLK周期时间
	92	60	ns(最小值)	SCLK周期时间(回读模式)
t_2	15	10	ns(最小值)	SCLK高电平时间
t_3	9	5	ns(最小值)	SCLK低电平时间
t_4	5	5	ns(最小值)	\overline{SYNC} 到SCLK下降沿建立时间
t_5	2	2	ns(最小值)	SCLK下降沿到 \overline{SYNC} 上升沿保持时间
t_6	48	40	ns(最小值)	最小 \overline{SYNC} 高电平时间
t_7	8	6	ns(最小值)	\overline{SYNC} 上升沿到下一SCLK下降沿忽略
t_8	9	7	ns(最小值)	数据建立时间
t_9	12	7	ns(最小值)	数据保持时间
t_{10}	13	10	ns(最小值)	\overline{LDAC} 下降沿到 \overline{SYNC} 下降沿
t_{11}	20	16	ns(最小值)	\overline{SYNC} 上升沿到 \overline{LDAC} 下降沿
t_{12}	14	11	ns(最小值)	\overline{LDAC} 低电平脉冲宽度
t_{13}	130	130	ns(典型值)	\overline{LDAC} 下降沿到输出响应时间
t_{14}	130	130	ns(典型值)	\overline{SYNC} 上升沿到输出响应时间(\overline{LDAC} 接低电平)
t_{15}	50	50	ns(最小值)	\overline{CLR} 低电平脉冲宽度
t_{16}	140	140	ns(典型值)	\overline{CLR} 脉冲启动时间
t_{17}	0	0	ns(最小值)	\overline{SYNC} 下降沿到第一SCLK上升沿
t_{18}	65	60	ns(最大值)	\overline{SYNC} 上升沿到SDO三态($C_L = 50\text{ pF}$)
t_{19}	62	45	ns(最大值)	SCLK上升沿到SDO有效($C_L = 50\text{ pF}$)
t_{20}	0	0	ns(最小值)	\overline{SYNC} 上升沿到SCLK上升沿忽略
t_{21}	35	35	ns(典型值)	\overline{RESET} 低电平脉冲宽度
t_{22}	150	150	ns(典型值)	\overline{RESET} 脉冲启动时间

¹ 所有输入信号均指定 $t_r = t_f = 1\text{ ns/V}$ (10%至90%的 IOV_{CC})条件并从 $(V_{IL} + V_{IH})/2$ 电平起开始计时。

² 写入模式下最大SCLK频率为35 MHz，回读模式下则为16 MHz。

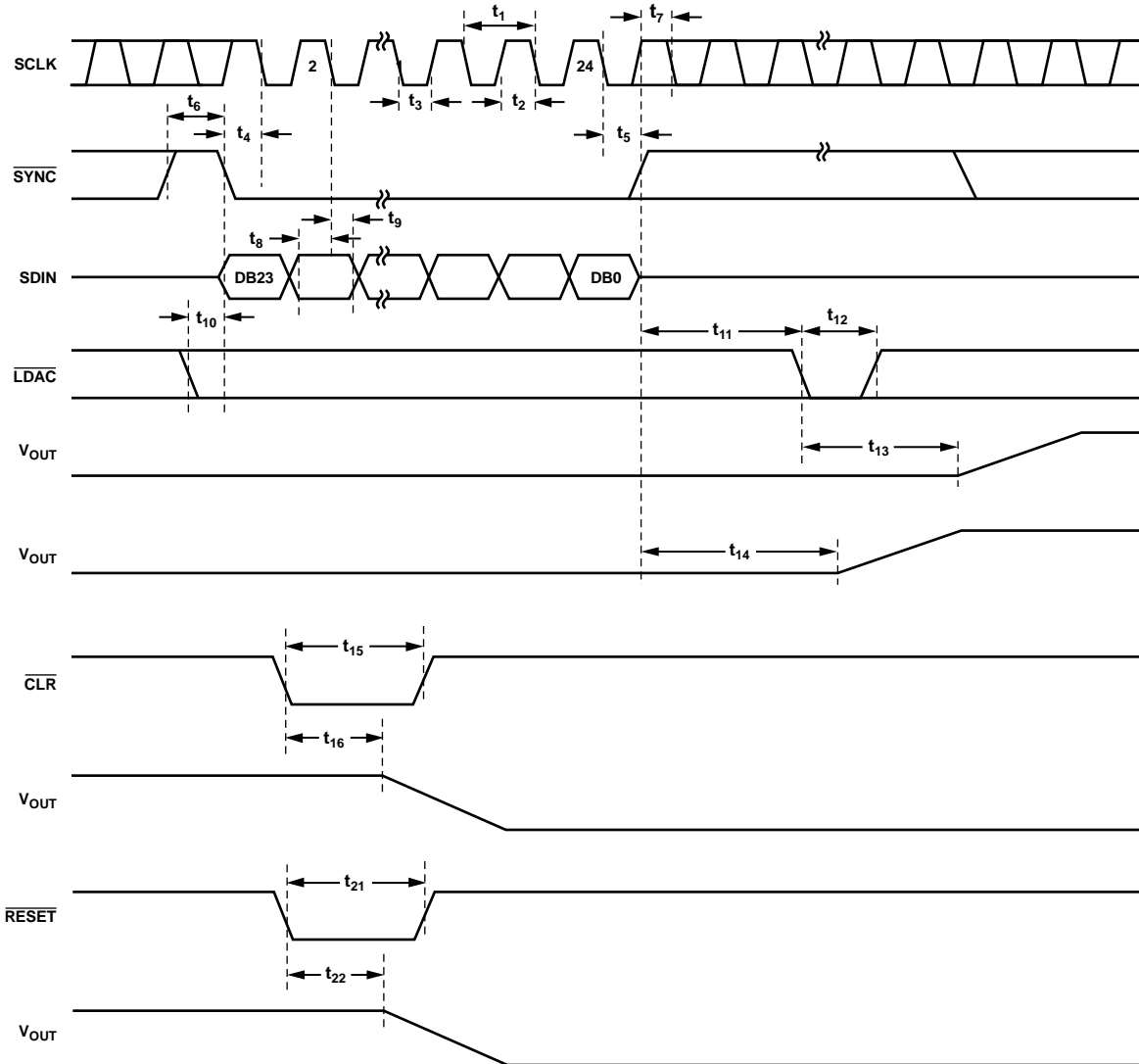


图2. 写入模式时序图

10239-002

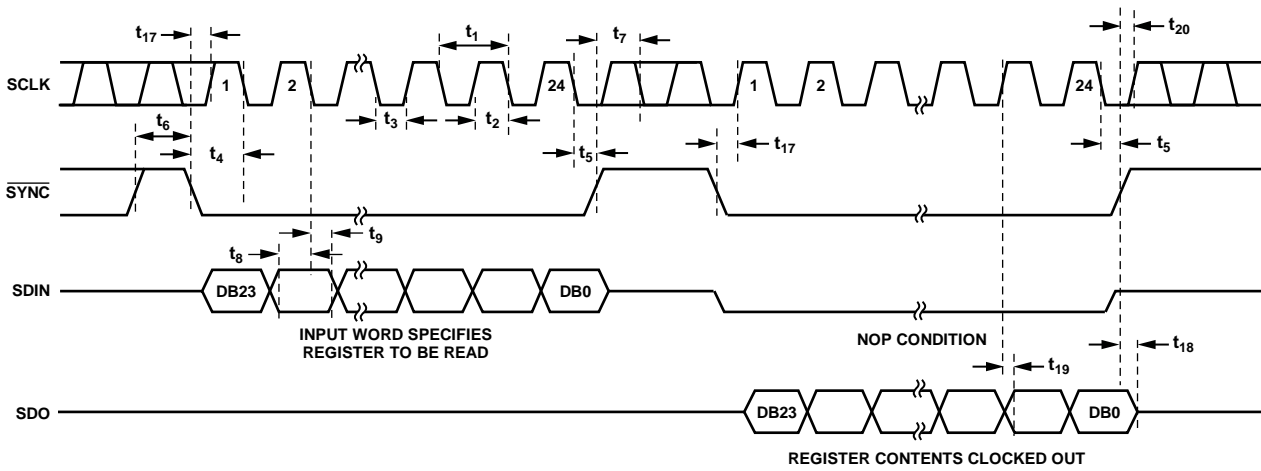


图3. 回读模式时序图

10239-003

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

100 mA以下的瞬态电流不会造成SCR闩锁。

表4.

参数	额定值
V_{DD} 至AGND	-0.3 V至+34 V
V_{SS} 至AGND	-34 V至+0.3 V
V_{DD} 至 V_{SS}	-0.3 V至+34 V
V_{CC} 至DGND	-0.3 V至+7 V
IOV_{CC} 至DGND	-0.3 V至 $V_{CC} + 3\text{ V}$ 或+7 V (取较小者)
数字输入至DGND	-0.3 V至 $IOV_{CC} + 0.3\text{ V}$ 或 +7 V(取较小者)
V_{OUT} 至AGND	-0.3 V至 $V_{DD} + 0.3\text{ V}$
V_{REFP} 至AGND	-0.3 V至 $V_{DD} + 0.3\text{ V}$
V_{REFN} 至AGND	$V_{SS} - 0.3\text{ V}$ 至+0.3 V
DGND至AGND	-0.3 V至+0.3 V
工作温度范围， T_A 工业	-40°C至+125°C
存储温度范围	-65°C至+150°C
最大结温(T_J 最大值)	150°C
功耗	$(T_J \text{ max} - T_A)/\theta_{JA}$
LFCSP封装	
θ_{JA} 热阻	31.0°C/W
引脚温度	JEDEC工业标准
焊接	J-STD-020
ESD(人体模型)	1.6 kV

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其他超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

本器件为高性能集成电路，ESD额定值小于1.6 kV，对ESD(静电放电)敏感。搬运和装配时必须采取适当的防范措施。

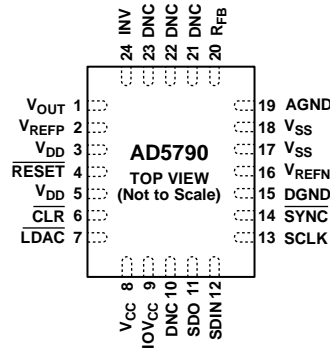
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES

1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN.
2. NEGATIVE ANALOG SUPPLY CONNECTION (V_{SS}). A VOLTAGE IN THE RANGE OF -16.5 V TO -2.5 V CAN BE CONNECTED. V_{SS} SHOULD BE DECOUPLED TO AGND. THE PADDLE CAN BE LEFT ELECTRICALLY UNCONNECTED PROVIDED THAT A SUPPLY CONNECTION IS MADE AT THE V_{SS} PINS. IT IS RECOMMENDED THAT THE PADDLE BE THERMALLY CONNECTED TO A COPPER PLANE FOR ENHANCED THERMAL PERFORMANCE.

10239-005

图4. 引脚配置

表5. 引脚功能描述

引脚编号	引脚名称	说明
1	V_{OUT}	模拟输出电压。
2	V_{REFP}	正基准电压输入。可以连接5 V至 $V_{DD} - 2.5\text{ V}$ 范围内的电压。
3, 5	V_{DD}	正模拟电源连接。可以连接7.5 V至16.5 V范围内的电压。 V_{DD} 必须去耦至AGND。
4	\overline{RESET}	低电平有效复位。置位此引脚时，AD5790返回上电状态。
6	\overline{CLR}	低电平输入有效。置位此引脚可将DAC寄存器设置为用户自定义值(见表12)并更新DAC输出。输出值取决于所用的DAC寄存器编码格式：二进制或二进制补码。
7	\overline{LDAC}	低电平有效加载DAC逻辑输入。用于更新DAC寄存器和模拟输出。当永久接为低电平时，输出在 \overline{SYNC} 的上升沿更新。如果LDAC在写入周期保持高电平，输入寄存器会更新，但输出直到LDAC的下降沿才会更新输出。LDAC引脚不能悬空。
8	V_{CC}	数字电源。电压范围为2.7 V至5.5 V。应将 V_{CC} 去耦至DGND。
9	IOV_{CC}	数字接口电源。数字阈值电平参考施加于此引脚的电压。电压范围为1.71 V至5.5 V。
10, 21, 22, 23	DNC	不连接。请勿连接到这些引脚。
11	SDO	串行数据输出。数据在串行时钟输入的上升沿输出。
12	SDIN	串行数据输入。该器件有一个24位输入移位寄存器。数据在串行时钟输入的下降沿读入寄存器。
13	SCLK	串行时钟输入。数据在串行时钟输入的下降沿读入移位寄存器。数据能够以最高35 MHz的速率传输。
14	\overline{SYNC}	电平触发的控制输入(低电平有效)。这是输入数据的帧同步信号。当 \overline{SYNC} 为低电平时，使能输入移位寄存器，然后数据在后续时钟的下降沿输入移位寄存器。DAC在 \overline{SYNC} 的上升沿更新。
15	DGND	数字电路的接地基准引脚。
16	V_{REFN}	负基准电压输入。
17, 18	V_{SS}	负模拟电源连接。可以连接 -16.5 V 至 -2.5 V 范围内的电压。必须将 V_{SS} 去耦至AGND。
19	AGND	模拟电路的接地基准引脚。
20	R_{FB}	外部放大器的反馈连接。详情见AD5790特性部分。
24	INV	外部放大器的反相输入连接。详情见AD5790特性部分。
EPAD	V_{SS}	负模拟电源连接(V_{SS})。可以连接 -16.5 V 至 -2.5 V 范围内的电压。必须将 V_{SS} 去耦至AGND。假如在 V_{SS} 引脚进行电源连接，焊盘可不进行电气连接。建议将焊盘热连接到铜层，增强散热性能。

典型性能参数

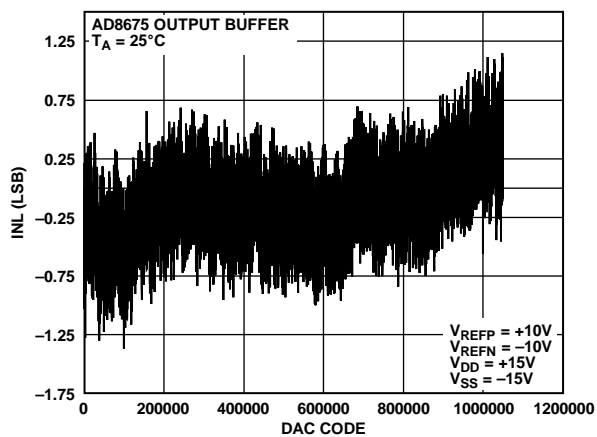
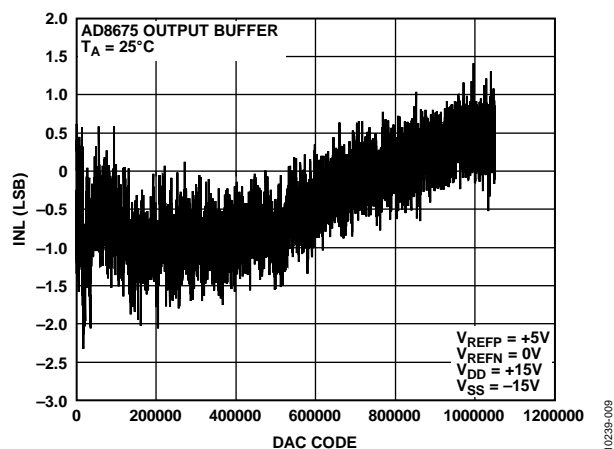
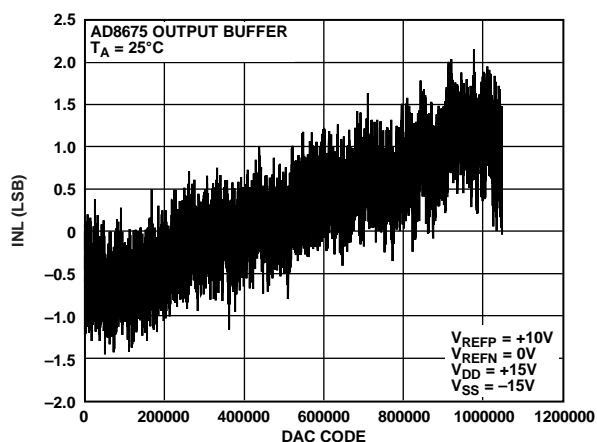
图5. 积分非线性误差与DAC代码的关系, ± 10 V范围图8. 积分非线性误差与DAC代码的关系, 5 V范围, $\times 2$ 增益模式

图6. 积分非线性误差与DAC代码的关系, 10 V范围

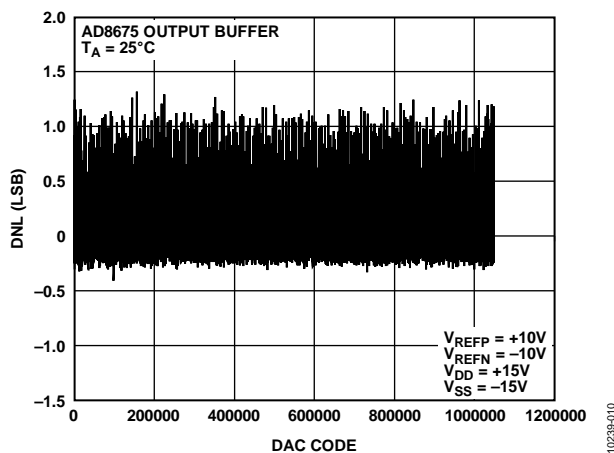
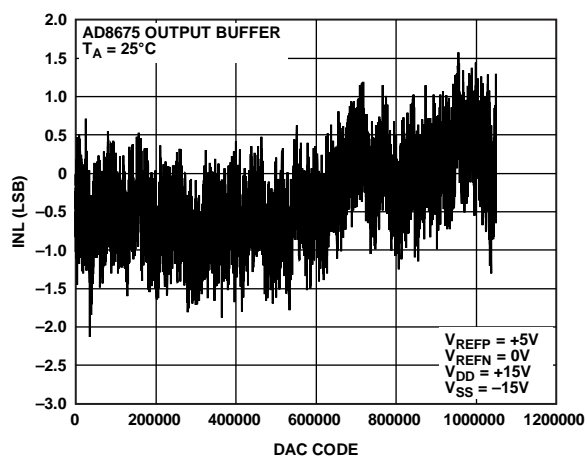
图9. 差分非线性误差与DAC代码的关系, ± 10 V范围

图7. 积分非线性误差与DAC代码的关系, 5 V范围

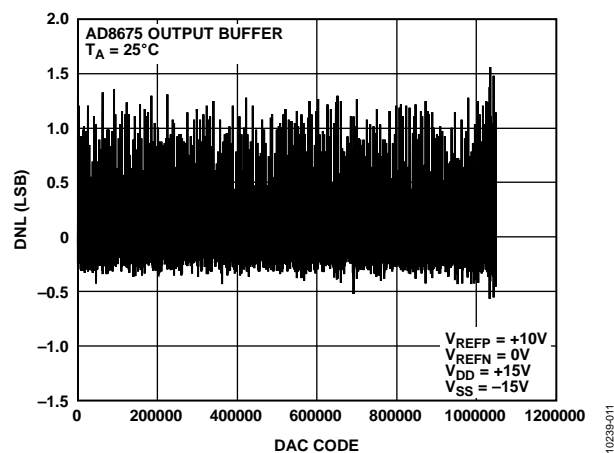


图10. 差分非线性误差与DAC代码的关系, 10 V范围

AD5790

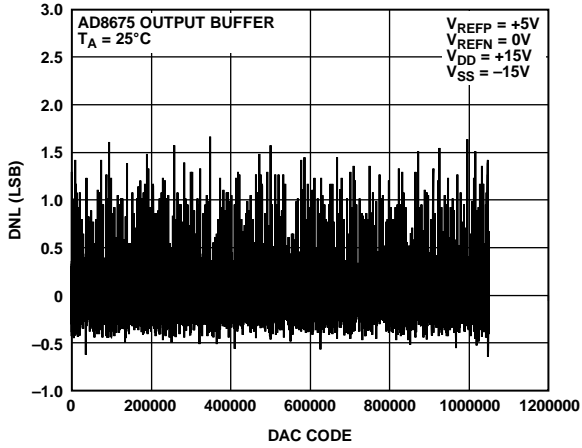


图11. 差分非线性误差与DAC代码的关系, 5 V范围

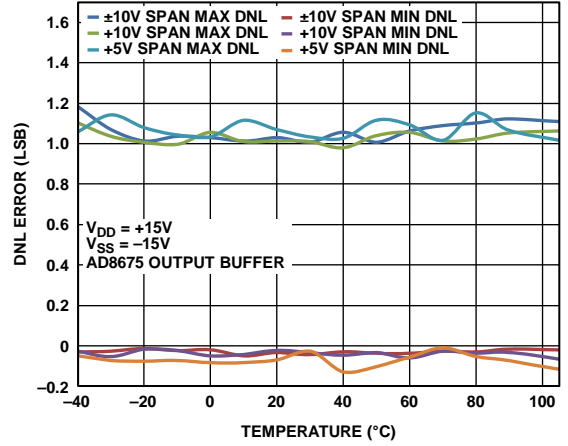


图14. 差分非线性误差与温度的关系

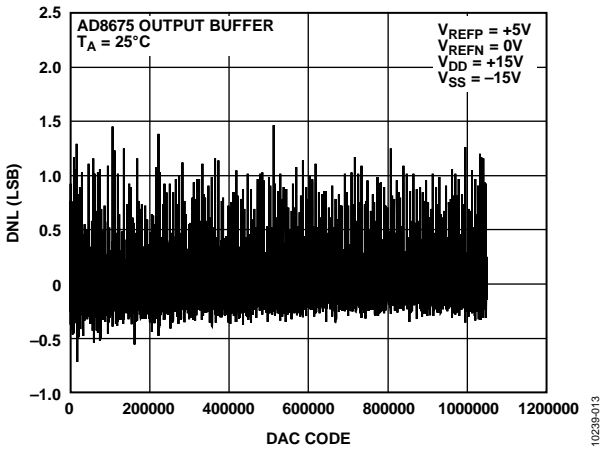


图12. 差分非线性误差与DAC代码的关系, 5 V范围, ×2增益模式

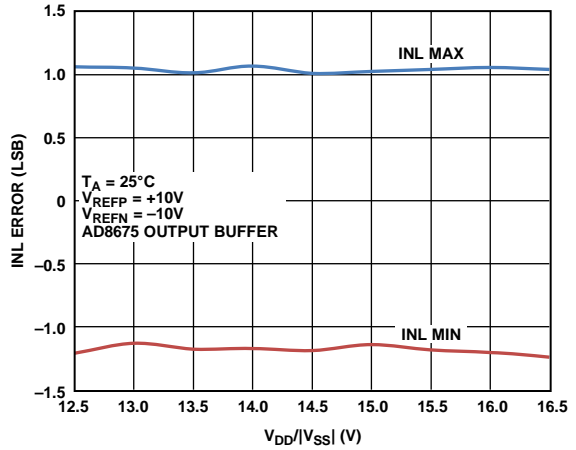


图15. 积分非线性误差与电源电压的关系, ±10 V范围

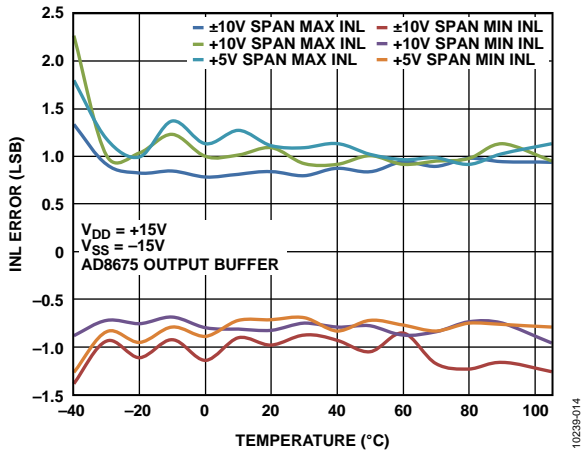


图13. 积分非线性误差与温度的关系

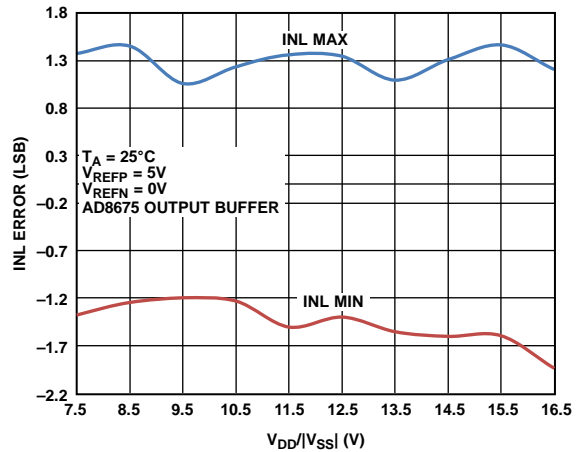


图16. 积分非线性误差与电源电压的关系, 5 V范围

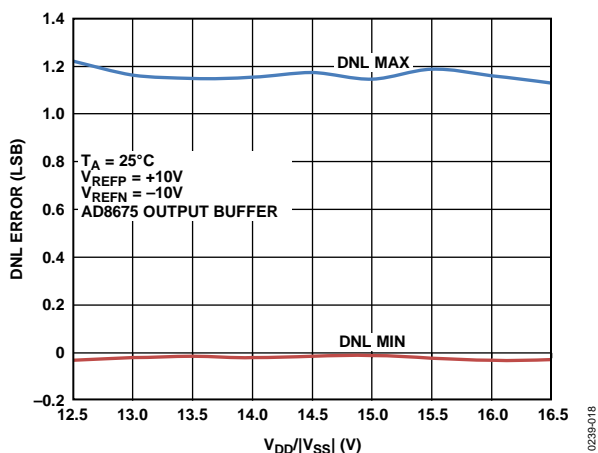


图17. 差分非线性误差与电源电压的关系, ± 10 V范围

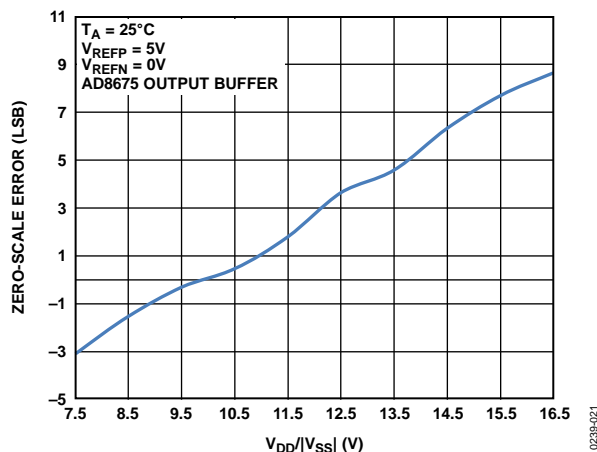


图20. 零电平误差与电源电压的关系, 5 V范围

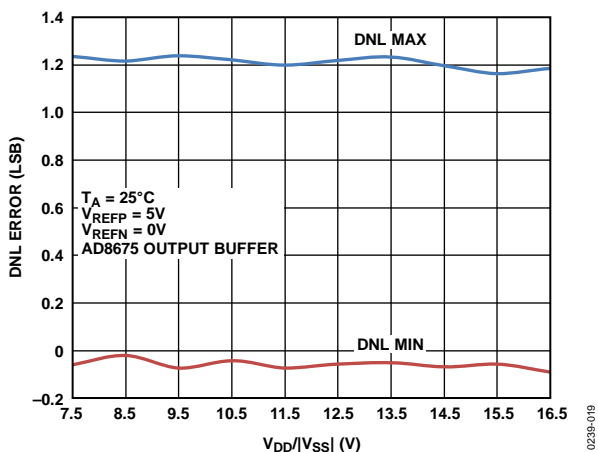


图18. 差分非线性误差与电源电压的关系, 5 V范围

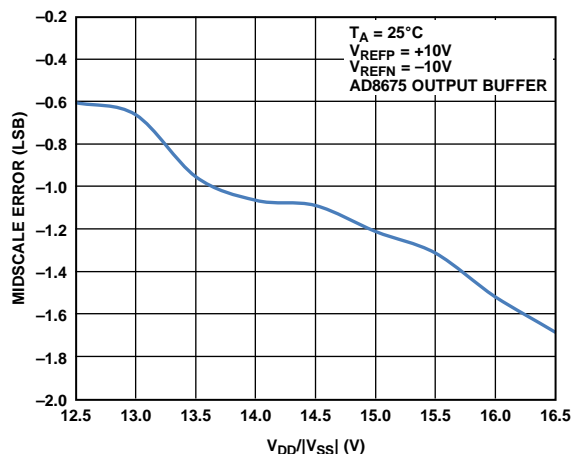


图21. 中间电平误差与电源电压的关系, ± 10 V范围

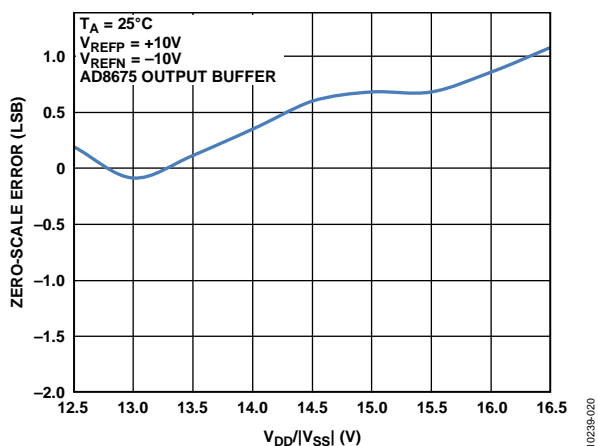


图19. 零电平误差与电源电压的关系, ± 10 V范围

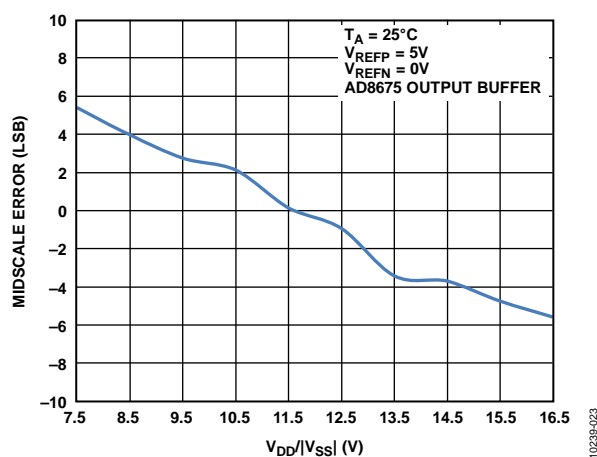


图22. 中间电平误差与电源电压的关系, 5 V范围

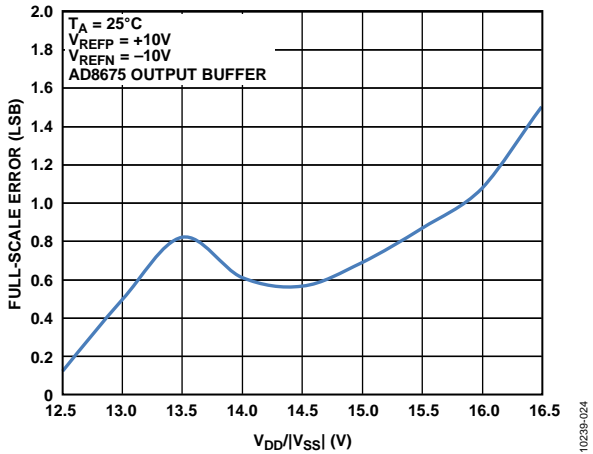


图23. 满量程误差与电源电压的关系, ±10 V范围

10239-024

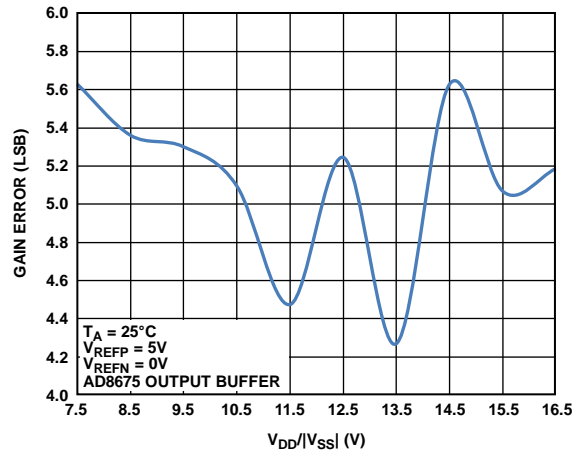


图26. 增益误差与电源电压的关系, 5 V范围

10239-027

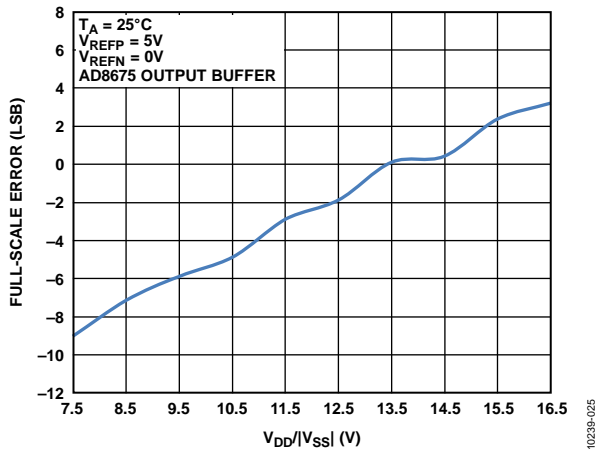


图24. 满量程误差与电源电压的关系, 5 V范围

10239-025

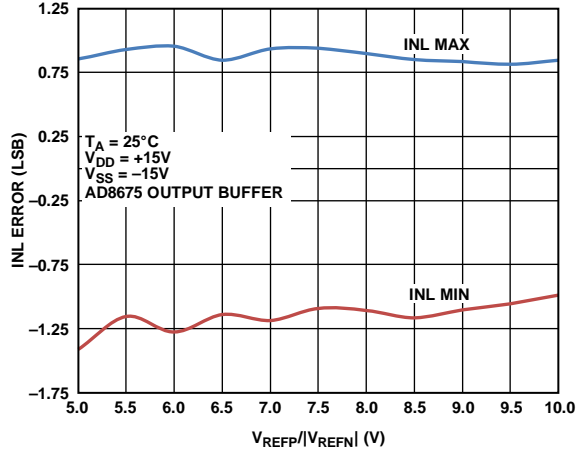


图27积分非线性误差与基准电压的关系

10239-028

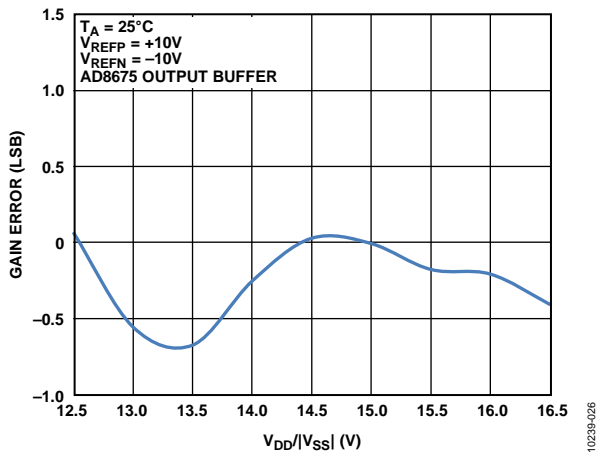


图25. 增益误差与电源电压的关系, ±10 V范围

10239-026

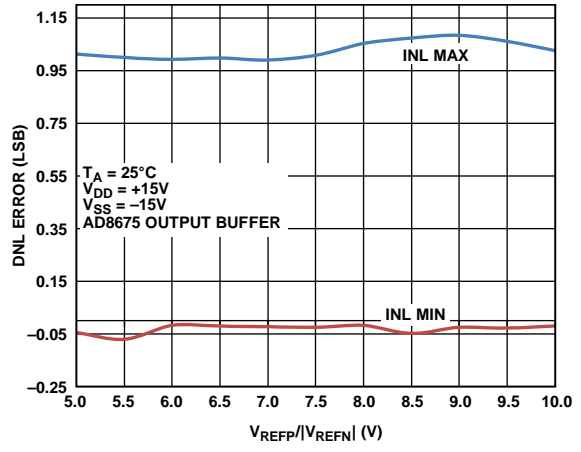


图28差分非线性误差与基准电压的关系

10239-029

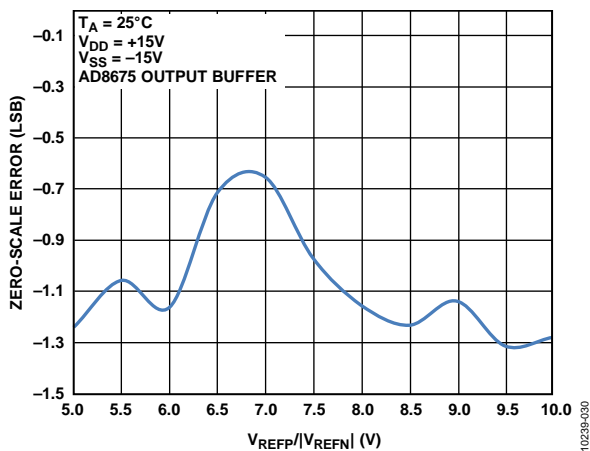


图29. 零电平误差与基准电压的关系

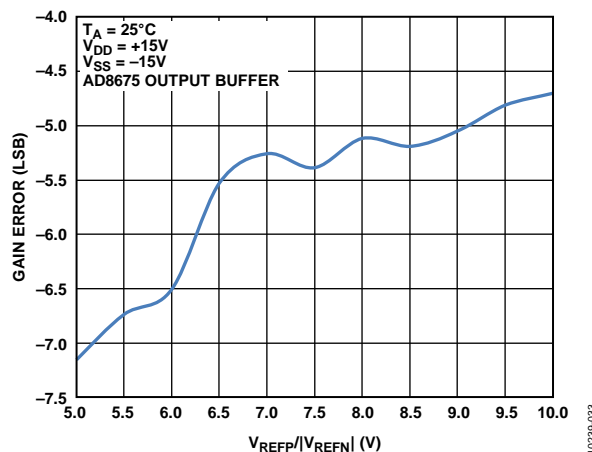


图32. 增益误差与基准电压的关系

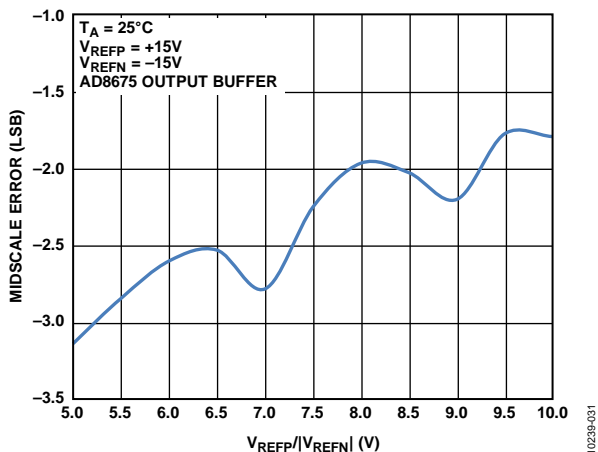


图30. 中间电平误差与基准电压的关系

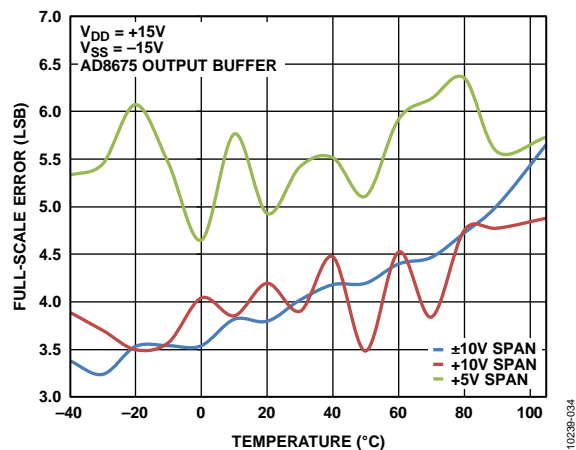


图33. 满量程误差与温度的关系

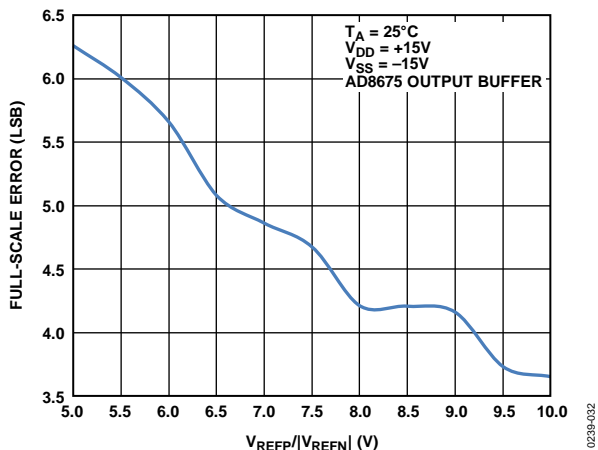


图31. 满量程误差与基准电压的关系

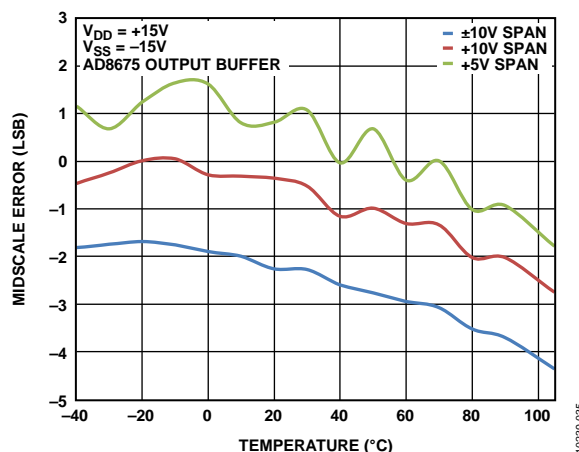


图34. 中间电平误差与温度的关系

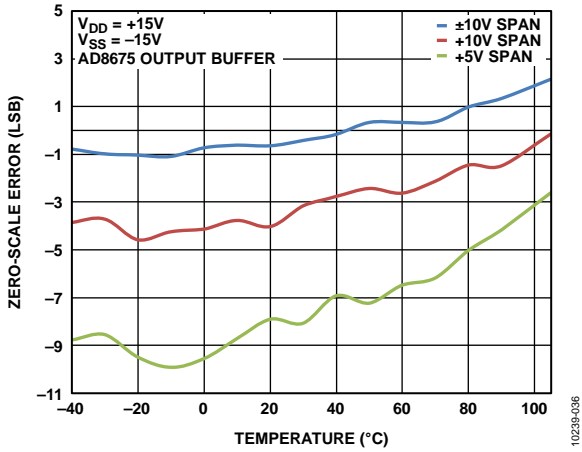


图35. 零电平误差与温度的关系

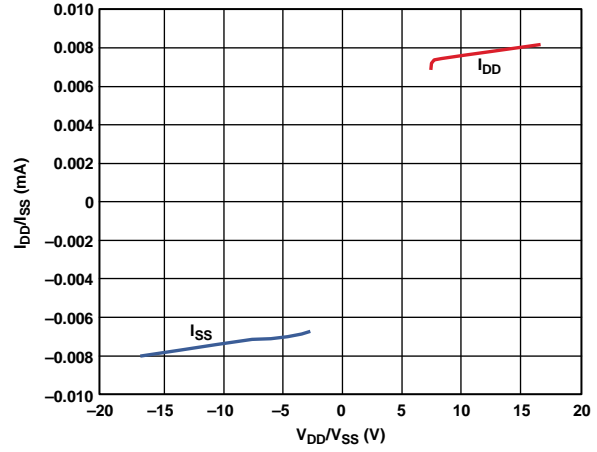


图38. 电源电流与电源电压的关系

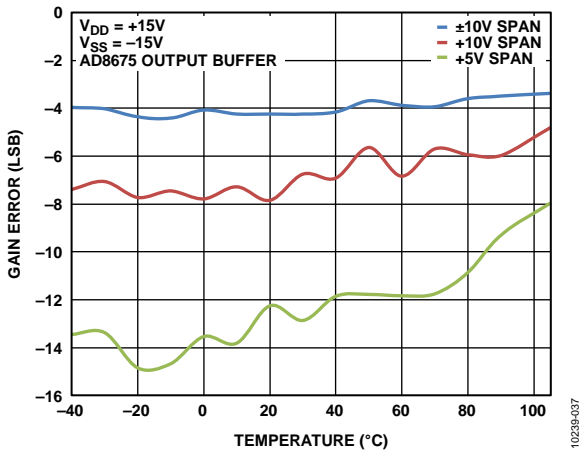


图36. 增益误差与温度的关系

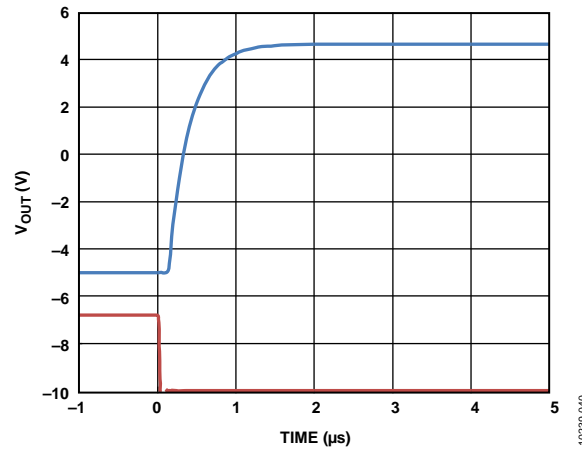


图39. 上升满量程电压阶跃

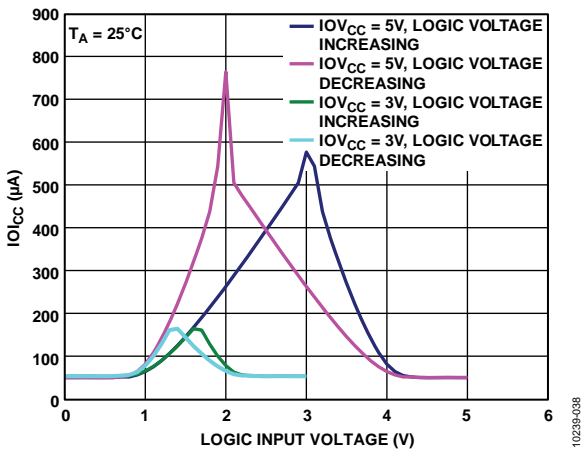


图37. IOI_{CC} 与逻辑输入电压的关系

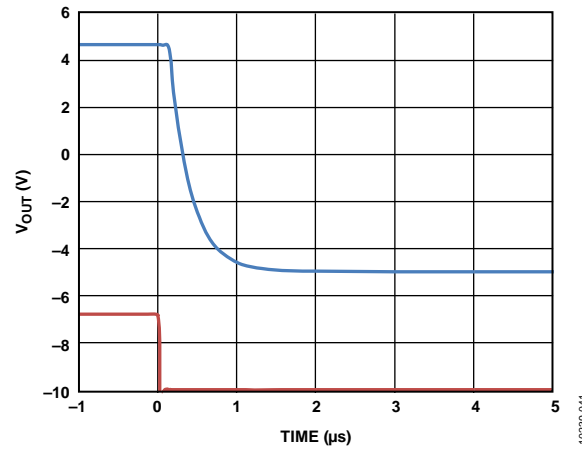


图40. 下降满量程电压阶跃

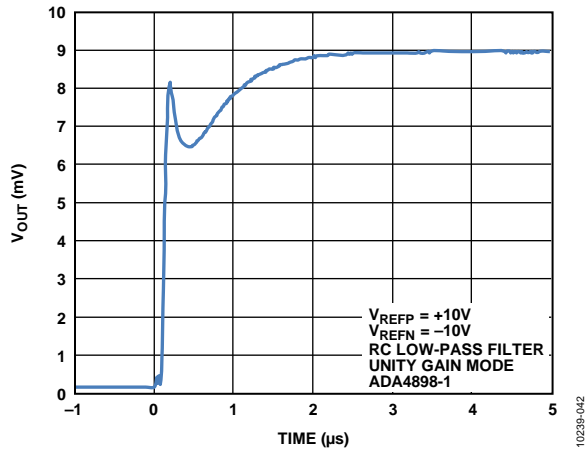


图41. 500代码阶跃建立时间

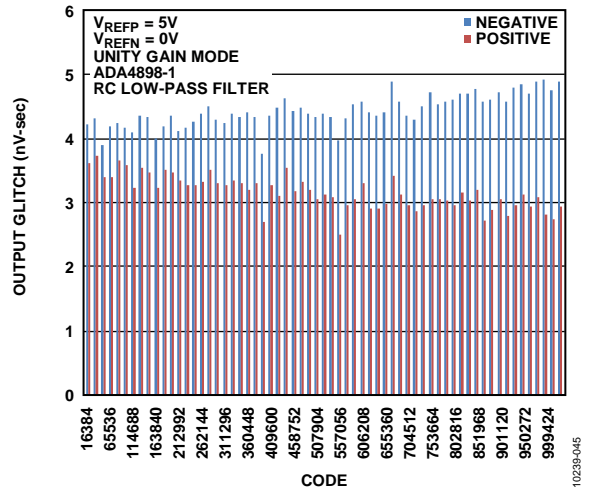


图44. 5 V VREF的6 MSB段毛刺能量

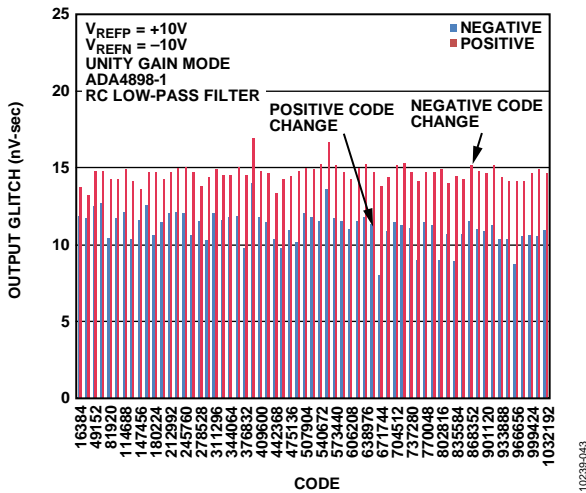


图42. ±10 V VREF的6 MSB段毛刺能量

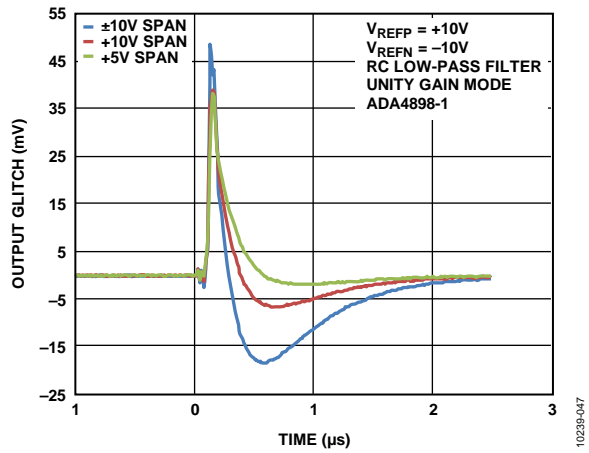


图45. ±10 V的中间量程峰峰值毛刺

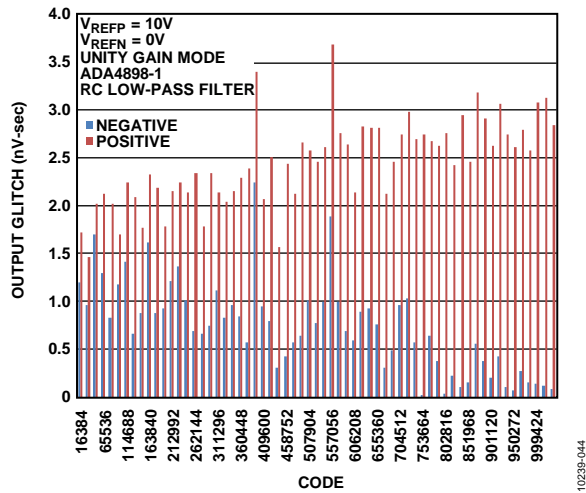


图43. 10 V VREF的6 MSB段毛刺能量

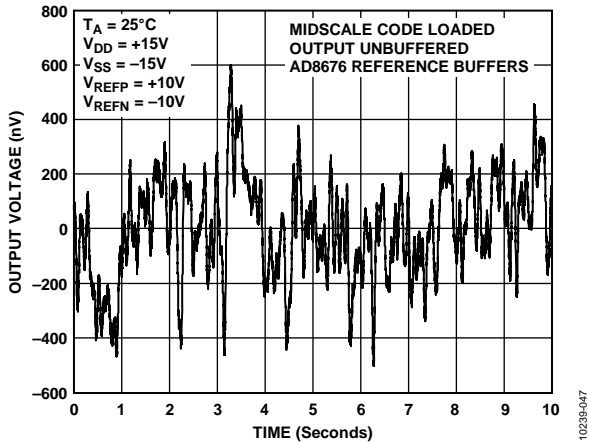


图46. 电压输出噪声, 0.1 Hz至10 Hz带宽

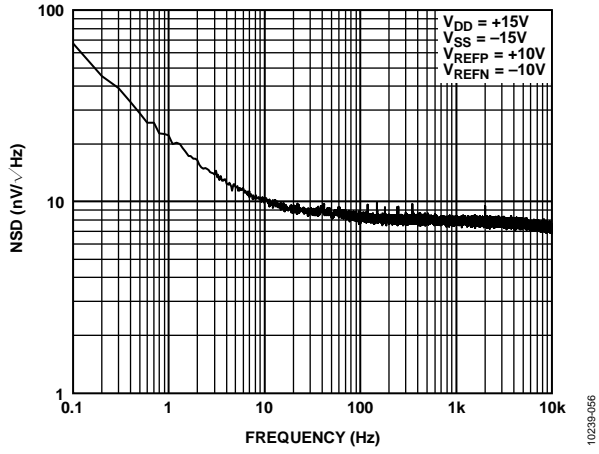


图47. 噪声谱密度与频率的关系

10239-056

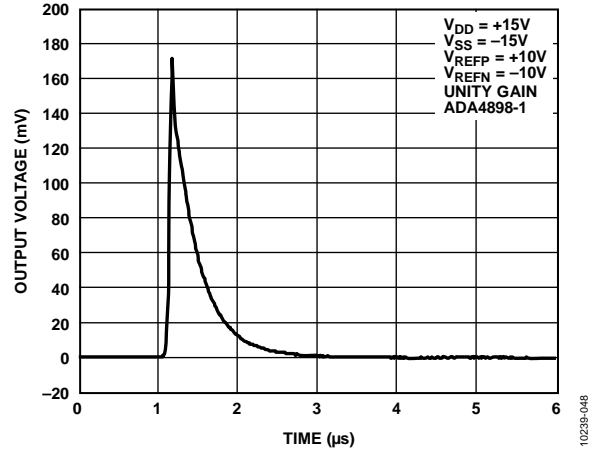


图48. 消除输出箱位时的毛刺脉冲

10239-048

术语

相对精度

相对精度或积分非线性(INL)是指DAC输出与通过DAC端点的传递函数直线之间的最大偏差,单位为LSB。图5所示为典型的INL误差与代码的关系图。

差分非线性(DNL)

微分非线性是指任意两个相邻编码之间所测得变化值与理想的1 LSB变化值之间的差异。最大 ± 1 LSB的额定微分非线性可确保单调性。此DAC可保证单调性。图9所示为典型的DNL误差与代码的关系图。

长期线性误差稳定性

线性误差长期稳定性是指DAC线性度在较长时间内的稳定程度。它用LSB表示,在500小时和1000小时的时间和高温环境下进行测量。

零刻度误差

零电平误差衡量将零电平代码(0x0000)载入DAC寄存器时的输出误差。理想情况下,输出电压应为 V_{REFN} 。零电平误差用LSB表示。

零电平误差温度系数

零电平误差温度系数衡量零电平误差随温度的变化,用ppm FSR/ $^{\circ}$ C表示。

满量程误差

满量程误差衡量将满量程码(0xFFFF)载入DAC寄存器时的输出误差。理想情况下,输出电压应为 $V_{REFP} - 1$ LSB。满量程误差用LSB表示。

满量程误差温度系数

满量程误差温度系数衡量满量程误差随温度的变化,用ppm FSR/ $^{\circ}$ C表示。

增益误差

增益误差衡量DAC的量程误差,它是指DAC传递特性的斜率与理想值之间的偏差,用满量程范围的ppm表示。

增益误差温度系数

增益误差温度系数衡量增益误差随温度的变化,用ppm FSR/ $^{\circ}$ C表示。

中间电平误差

中间电平误差衡量将中间电平代码(0x8000)载入DAC寄存器时的输出误差。理想情况下,输出电压应为 $(V_{REFP} - V_{REFN})/2 + V_{REFN}$ 。中间电平误差用LSB表示。

输出电压建立时间

输出电压建立时间是指对于指定的电压变化,输出电压达到并保持指定电平所需的时间量。对于快速建立应用,需要高速缓冲放大器作为AD5790的3.4 k Ω 输出阻抗与负载间的缓冲,此时建立时间由放大器决定。

数模转换毛刺脉冲

数模转换毛刺脉冲是DAC寄存器中的编码输入变化时注入模拟输出的脉冲。数模转换毛刺脉冲规定为毛刺的面积,用nV-s表示,数字输入代码在主进位跃迁中改变1 LSB时进行测量。参见图48。

输出使能毛刺脉冲

输出使能毛刺脉冲是DAC输出接地箝位消除时注入到模拟输出的脉冲。它规定为毛刺的面积,用nV-sec表示(参见图48)。

数字馈通

数字馈通衡量从DAC的数字输入注入DAC的模拟输出的脉冲,但在DAC输出未更新时进行测量。单位为nV-sec,测量数据总线上发生满量程编码变化时的情况,即全0至全1,反之亦然。

总谐波失真(THD)

总谐波失真是指DAC输出的谐波均方根和与基波的比值。仅包括二次至五次谐波。

直流电源抑制比

直流电源抑制比衡量输出电压对DAC电源直流变化的抑制能力。它在电源电压的给定直流变化下测量,用表示。

交流电源抑制比(AC PSRR)

交流电源抑制比衡量输出电压对DAC电源交流变化的抑制能力。它在电源电压的给定幅度和频率变化下测量,用分贝(dB)表示。

AD5790

工作原理

AD5790是一款高精度、快速建立、单通道、20位、串行输入、电压输出DAC。V_{DD}电源电压范围为7 V至16.5 V，V_{SS}电源电压范围为-16.5 V至-2.5 V。数据通过3线串行接口以24位字格式写入AD5790。它内置一个上电复位电路，确保DAC输出上电至0 V，V_{OUT}引脚通过约6 kΩ的内部电阻箝位至AGND。

DAC架构

AD5790的DAC架构由两个匹配的DAC部分组成。简化电路图如图49所示。20位数据字的6个MSB经解码用于驱动63个开关(E0至E62)。每个开关将63个匹配电阻之一连接到经过缓冲的V_{REFP}或V_{REFN}电压。数据字的其余14位驱动14位电压模式R-2R梯形网络的开关S0至S13。

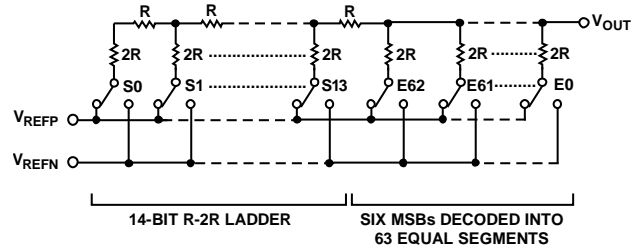


图49. DAC梯形结构

串行接口

AD5790有一个3线串行接口(SYNC、SCLK和SDIN)，它与SPI、QSPI、MICROWIRE接口标准及大多数DSP兼容(时序图参见图2)。

输入移位寄存器

输入移位寄存器为24位宽。在工作速度最高可达35 MHz的串行时钟输入SCLK的控制下，数据作为24位字以MSB优先的方式载入器件。输入寄存器包括R/W位、3个地址位和20个数据位，如表6所示。图2给出了这种操作的时序图。

表6. 输入移位寄存器格式

MSB				LSB
DB23	DB22	DB21	DB20	DB19至DB0
R/W	寄存器地址			寄存器数据

表7. 输入移位寄存器解码

R/W	寄存器地址			
X ¹	0	0	0	无操作(NOP)。用于回读操作。
0	0	0	1	写入DAC寄存器。
0	0	1	0	写入控制寄存器。
0	0	1	1	写入清零代码寄存器。
0	1	0	0	写入软件控制寄存器。
1	0	0	1	读取DAC寄存器。
1	0	1	0	读取控制寄存器。
1	0	1	1	读取清零代码寄存器。

¹ X表示无关。

独立操作

串行接口采用连续式和非连续式两种串行时钟工作。如果 $\overline{\text{SYNC}}$ 在正确的时钟周期数内保持为低电平，只能使用连续的SCLK时钟源。

在选通时钟模式下，必须采用包含确切时钟周期数的突发时钟，在时钟周期结束后必须将 $\overline{\text{SYNC}}$ 置为高电平来锁存数据。 $\overline{\text{SYNC}}$ 的第一个下降沿启动写周期。SCLK必须在24个时钟下降沿后，才能将 $\overline{\text{SYNC}}$ 重新拉高。如果在第24个SCLK下降沿之前拉高 $\overline{\text{SYNC}}$ ，写入的数据无效。如果拉高 $\overline{\text{SYNC}}$ 前有超过24个SCLK下降沿，输入数据同样无效。

输入移位寄存器在 $\overline{\text{SYNC}}$ 的上升沿更新。若需进行其他串行传输，必须将 $\overline{\text{SYNC}}$ 再次拉低。串行传输结束后，数据自动从输入移位寄存器传送到寻址寄存器。写入周期完成时，就可以在LDAC为高电平时拉低 $\overline{\text{SYNC}}$ ，从而更新输出。

回读

通过SDO引脚可以回读所有片内寄存器的内容。表7显示了寄存器的解码情况。寻址一个待读取的寄存器后，数据将通过SDO引脚在接下来的24个时钟周期输出。时钟必须在 $\overline{\text{SYNC}}$ 为低电平时施加。当 $\overline{\text{SYNC}}$ 返回高电平时，SDO引脚变为三态。当读取单个寄存器时，可以使用NOP功能输出数据。如果读取一个以上的寄存器，则第一个待寻址寄存器的数据可以在寻址第二个待读取寄存器的同时输出。要完成一个回读操作，必须使能SDO引脚。SDO引脚默认使能。

硬件控制引脚

加载DAC功能(LDAC)

数据传输到DAC的输入寄存器之后，有两种方法可以更新DAC寄存器和DAC输出。根据 $\overline{\text{SYNC}}$ 和LDAC的状态，选择两种更新模式之一：同步DAC更新或异步DAC更新。

同步DAC更新

在此模式下，当数据进入输入移位寄存器时LDAC要保持为低电平。DAC输出在 $\overline{\text{SYNC}}$ 的上升沿更新。

异步DAC更新

在此模式下，当数据进入输入移位寄存器时LDAC要保持为高电平。在拉高LDAC后，通过拉低 $\overline{\text{SYNC}}$ 可以异步更新DAC输出。此时在LDAC的下降沿进行更新。

复位功能(RESET)

AD5790可以通过两种方式复位至上电状态：一是置位RESET引脚，二是利用软件复位控制功能(见表13)。如果RESET引脚不用，应将其硬连线至IOV_{CC}。

异步清零功能(CLR)

CLR引脚是在低电平有效的时候清零，允许输出清零至用户自定义值。20位清零代码值写入清零代码寄存器(见表12)。CLR必须至少保持一段时间的低电平才能完成操作(参见图2)。当CLR信号变回高电平后，输出保持为清零值(如果LDAC为高电平)，直到新值载入DAC寄存器。当CLR引脚为低电平时，无法用新值更新输出。清零操作还可通过设置软件控制寄存器中的CLR位来执行(见表13)。

片内寄存器

DAC寄存器

表9说明如何写入和读取DAC寄存器。

以下方程式描述了DAC的理想传递函数：

$$V_{OUT} = \frac{(V_{REFP} - V_{REFN}) \times D}{2^{20}} + V_{REFN}$$

其中：

V_{REFN} 是 V_{REFN} 输入引脚上施加的负电压。

V_{REFP} 是 V_{REFP} 输入引脚上施加的正电压。

D 为写入DAC的20位代码。

AD5790

表8. 硬件控制引脚真值表

LDAC	CLR	RESET	功能
X ¹	X ¹	0	AD5790处于复位模式。无法对器件进行编程。
X ¹	X ¹	↑	AD5790返回到上电状态。所有寄存器都被设置为默认值。
0	0	1	DAC寄存器加载清零代码寄存器值，并相应地设置输出。
0	1	1	输出根据DAC寄存器值进行设置。
1	0	1	DAC寄存器加载清零代码寄存器值，并相应地设置输出。
↓	1	1	输出根据DAC寄存器值进行设置。
↓	0	1	输出保持为清零代码寄存器值。
↑	1	1	输出根据DAC寄存器值进行设置。
↑	0	1	输出保持为清零代码寄存器值。
1	↓	1	DAC寄存器加载清零代码寄存器值，并相应地设置输出。
0	↓	1	DAC寄存器加载清零代码寄存器值，并相应地设置输出。
1	↑	1	输出保持为清零代码寄存器值。
0	↑	1	输出根据DAC寄存器值进行设置。

¹ X表示无关。

表9. DAC寄存器

MSB				LSB
DB23	DB22	DB21	DB20	DB19至DB0
R/W	寄存器地址			DAC寄存器数据
R/W	0	0	1	20位数据

控制寄存器

控制寄存器控制AD5790的工作模式。

代码寄存器设置DAC输出值。输出值取决于所用的DAC编码格式：二进制或二进制补码。默认寄存器值为0。

清零代码寄存器

在置位 $\overline{\text{CLR}}$ 引脚或者软件控制寄存器中的CLR位时，清零

表10. 控制寄存器

MSB													LSB				
DB23	DB22	DB21	DB20	DB19至DB11			DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
R/W	寄存器地址			控制寄存器数据													
R/W	0	1	0	保留	保留	0000			SDODIS	BIN/2sC	DACTR	OPGND	RBUF	保留			

表11. 控制寄存器功能

位名称	说明
保留	这些位为保留位，应设置为零。
RBUF	输出放大器配置控制。 0: 内部放大器A1上电，电阻RFB和R1串联，如图52所示。允许连接一个增益为配置2的外部放大器。详情见AD5790特性部分。 1: (默认)内部放大器A1掉电，电阻和R1并联，如图51所示； R_{FB} 和INV引脚之间的电阻为3.4 k Ω ，等于DAC的电阻。允许 R_{FB} 和INV引脚对外部单位增益放大器进行输入偏置电流补偿。详情见AD5790特性部分。
OPGND	输出接地箝位控制。 0: 消除DAC输出接地箝位，DAC处于正常模式。 1: (默认)DAC输出通过约6 k Ω 电阻箝位至接地，DAC处于三态模式。复位器件将DAC置于OPGND模式，从而使能输出接地箝位，DAC处于三态。在控制寄存器中将OPGND位置1优先于对DACTR位的任何写操作。
DACTR	DAC三态控制。 0: DAC处于正常工作模式。 1: (默认)DAC处于三态模式。
BIN/2sC	DAC寄存器编码选择。 0: (默认)DAC寄存器使用二进制补码编码。 1: DAC寄存器使用偏移二进制编码。
SDODIS	SDO引脚使能/禁用控制。 0: (默认)SDO引脚使能。 1: SDO引脚禁用(三态)。
R/W	读/写选择位。 0: 寻址AD5790进行写操作。 1: 寻址AD5790进行读操作。

表12. 清零代码寄存器

MSB													LSB			
DB23	DB22	DB21	DB20	DB19至DB11												
R/W	寄存器地址			清零代码寄存器数据												
R/W	0	1	1	20位数据												

AD5790

软件控制寄存器

这是一个只写寄存器，将1写入特定位相当于通过发送脉冲将相应的引脚拉低。

表13. 软件控制寄存器

MSB							LSB
DB23	DB22	DB21	DB20	DB19至DB3	DB2	DB1	DB0
R/W	寄存器地址			软件控制寄存器数据			
0	1	0	0	保留	Reset	CLR ¹	LDAC ²

¹ 当LDAC引脚为低电平时，CLR功能无效。

² 当CLR引脚为低电平时，LDAC功能无效。

表14. 软件控制寄存器功能

位名称	说明
LDAC	此位设置为1可更新DAC寄存器和DAC输出。
CLR	此位设置为1可将DAC寄存器设置为用户自定义值(见表12)并更新DAC输出。输出值取决于所用的DAC寄存器编码格式：二进制或二进制补码。
Reset	此位设置为1可使AD5790返回上电状态。

AD5790特性

上电至0 V

AD5790内置一个上电复位电路，它除了能将所有寄存器复位至默认值以外，还能控制上电期间的输出电压。上电时，DAC处于三态模式(其基准输入断开)，DAC输出通过约6 kΩ电阻箝位至AGND。DAC将保持此状态，直到通过控制寄存器将其设置为其它状态。这个特性对于在DAC上电过程中必须知道DAC输出状态的应用十分有用。

配置AD5790

上电之后，必须将AD5790置于正常工作模式才能对输出进行编程。为此，必须对控制寄存器进行编程。DACTRI位清零可使DAC脱离三态，OPGND位清零可消除输出箝位。此时，输出将变为 V_{REFN} ，除非首先给DAC寄存器设置了其它值。

DAC输出状态

通过控制寄存器的DACTRI和OPGND位，可以将DAC输出置于三种状态之一，如表15所示。

表15. 输出状态真值表

DACTRI	OPGND	输出状态
0	0	正常工作模式
0	1	输出通过约6 kΩ电阻箝位至AGND
1	0	输出为三态
1	1	输出通过约6 kΩ电阻箝位至AGND

输出放大器配置

输出放大器可以通过多种方式连接到AD5790，具体取决于所施加的基准电压和所需的输出电压范围。

单位增益配置

图50显示配置为单位增益的输出放大器。在此配置中，输出范围是从到。

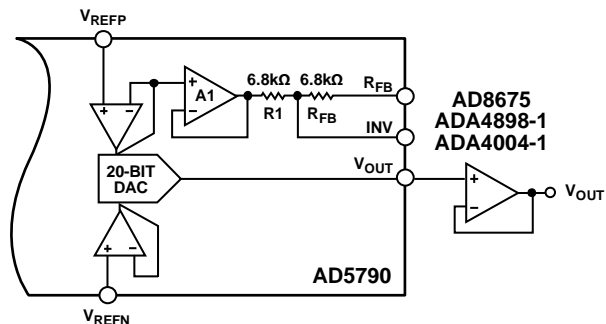


图50. 单位增益配置的输出放大器

输出放大器还有一种单位增益配置，该配置从放大器的输入偏置电流中消除了失调，方法是在放大器的反馈路径中插入一个阻值与DAC输出电阻相等的电阻。DAC输出电阻为3.4 kΩ，通过并联连接R1和RFB，就能在片内获得一个与DAC电阻相等的电阻。由于这些电阻全部位于一个硅片上，因此其温度系数彼此匹配。若要使能这种工作模式，必须将控制寄存器的RBUF位设置为逻辑1。图51给出了输出放大器连接到AD5790的方式。在此配置中，输出放大器为单位增益，输出范围从 V_{REFN} 至 V_{REFP} 。这种单位增益配置允许在放大器反馈路径中放置一个电容，以提高动态性能。

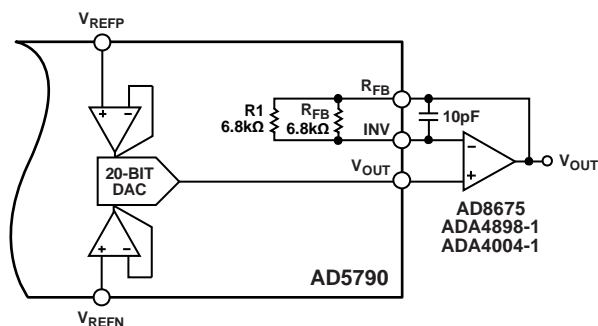


图51. 带放大器输入偏置电流补偿的单位增益输出放大器

AD5790

增益为2的配置(×2增益模式)

图52所示为增益配置为2的输出放大器。增益由内部匹配的6.8 kΩ电阻设置，这些电阻恰好是DAC电阻的两倍，并具有从外部放大器的输入偏置电流中消除失调的作用。在此配置中，输出范围是从 $2 \times V_{REFN} - V_{REFP}$ 到 V_{REFP} 。这种配置可用来从单端基准输入($V_{REFN} = 0 \text{ V}$)产生双极性输出范围。若要使能这种工作模式，必须将控制寄存器的RBUF位设置为逻辑0。

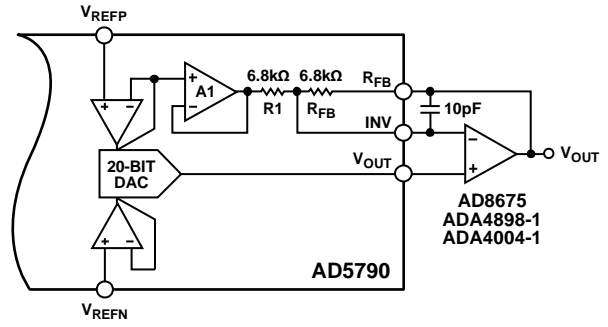
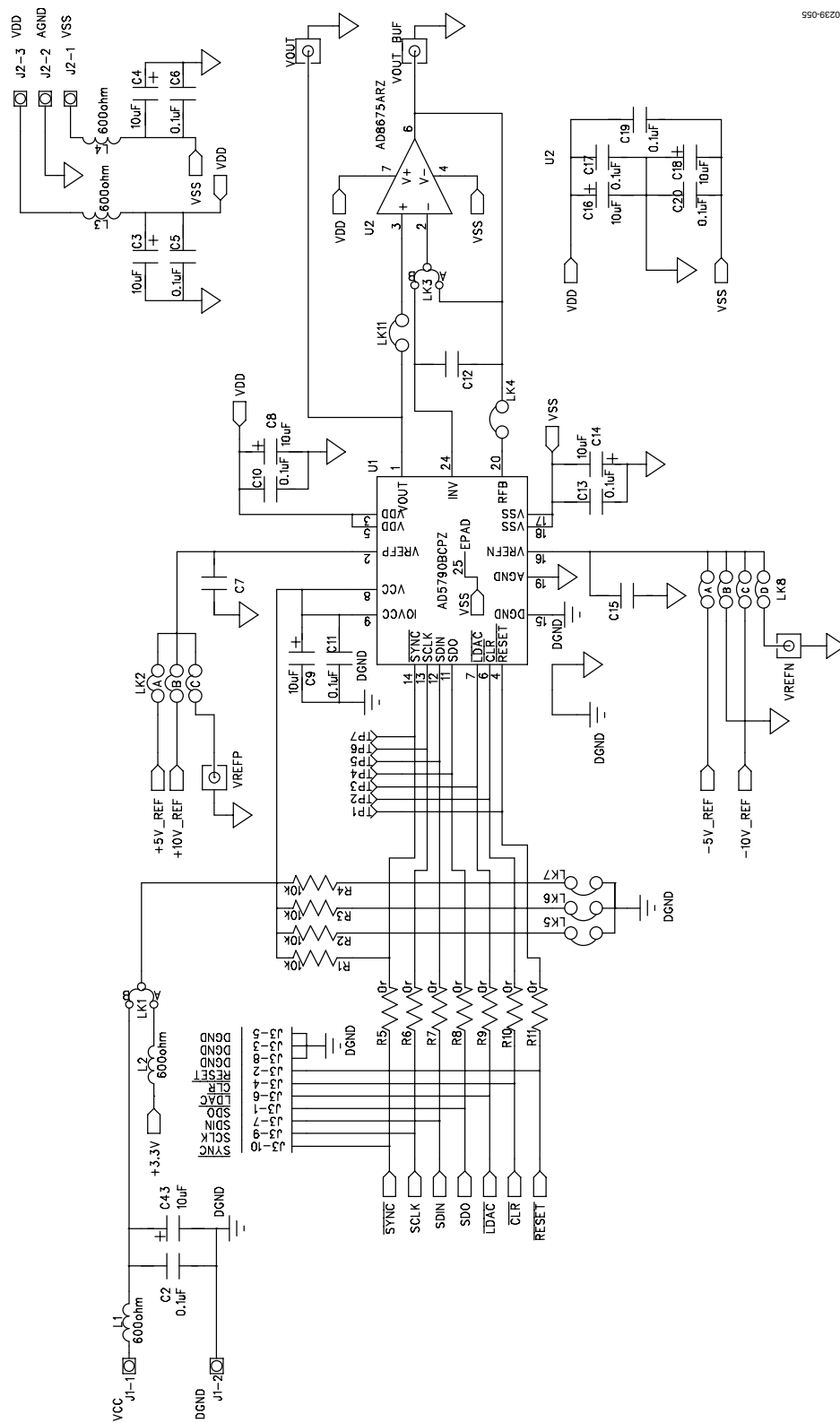


图52. 增益配置为2的输出放大器

102239-054

应用信息
典型工作电路



590-66201

图53. 典型工作电路

AD5790

图53显示了使用AD8675作为输出缓冲器时AD5790的典型工作电路。由于AD5790的输出阻抗为3.4 k Ω ，因此需要一个输出缓冲器来驱动低电阻、高电容负载。

评估板

ADI公司提供AD5790评估板，旨在帮助设计者轻松地对器件性能进行评估。AD5790评估套件包括一片搭载相关元件并经过测试的AD5790印刷电路板(PCB)。

评估板连接到PC的USB端口，软件与评估板一同提供，便于用户设置AD5790。软件可以在任何已安装Microsoft® Windows® XP (SP2)、Vista(32位或64位)或Windows 7的PC上运行。AD5790用户指南UG-342已发布，其中提供了评估板工作的全部细节。

外形尺寸

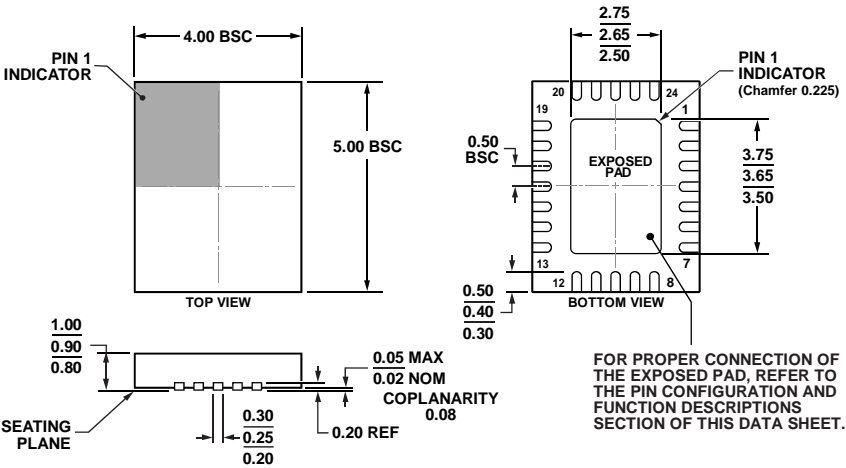


图54. 24引脚引脚架构芯片级封装[LFCSP_VQ]
4 mm x 5 mm超薄体(CP-24-5)
图示尺寸单位: mm

04-11-2012-B

订购指南

型号 ¹	温度范围	INL	封装描述	封装选项
AD5790BCPZ	-40°C至+125°C	±4 LSB	24引脚 LFCSP_VQ	CP-24-5
AD5790BCPZ-RL7	-40°C至+125°C	±4 LSB	24引脚 LFCSP_VQ	CP-24-5
EVAL-AD5790SDZ			评估板	

¹ Z = 符合RoHS标准的器件。

AD5790

注释