

数据手册

GM8906C

24 位 FPD-LINK II 接收器

2017.5

成都振芯科技股份有限公司

24 位 FPD-LINK II 接收器

GM8906C

GM8906C		
版本记录：2.0		当前版本时间：2017 年 5 月
新旧版本改动比较：		
旧版 文档页数	当前版本 文档页数	主题（和旧版本相比的主要变化）
14	14	将工作频率由 65MHz 调整为 60MHz，增加调试步骤。

如果您有技术、交付或价格方面的任何问题，请联系成都振芯科技股份有限公司的相关办公室或当地的代理商，或访问官方网站：www.corpro.cn，谢谢！

编制时间：2017 年 5 月

由成都振芯科技股份有限公司发布

发布地点：成都

成都振芯科技股份有限公司版权所有

24 位 FPD-LINK II 接收器

GM8906C

1 概述

GM8906C 型 24 位 FPD-LINK II 接收器，其主要功能是实现 24 位色 FPD-LINK II 格式转换，即将 1 路高速串行数据解码成 24 路并行 CMOS 数据和 1 路并行 CMOS 时钟信号输出。

芯片内部集成终端电阻，可通过外部 I/O 或 I²C 总线进行配置，支持 power down 模式。芯片 core 电源 V_{DDn} 为 1.8V，IO 电源 V_{DDIO} 可支持 3.3V 和 1.8V 两种电压。

该芯片的主要应用领域是视频图像的高速传输，采用 1 对差分传输线缆即可实现视频信号传输，极大提高了视频图像传输系统的集成度。

2 特征

- a) 工作温度范围：-40℃~85℃；
- b) 电源电压 V_{DDn}：1.8V；
- c) 电源电压 V_{DDIO}：3.3V 或 1.8V；
- d) 工作频率：5MHz~60MHz；
- e) 封装形式：QFN60；
- f) 器件等级：工业级。

3 封装及引脚功能说明

本器件采用 60 引线的方形扁平无引脚封装（QFN60），引脚排序如下所示。

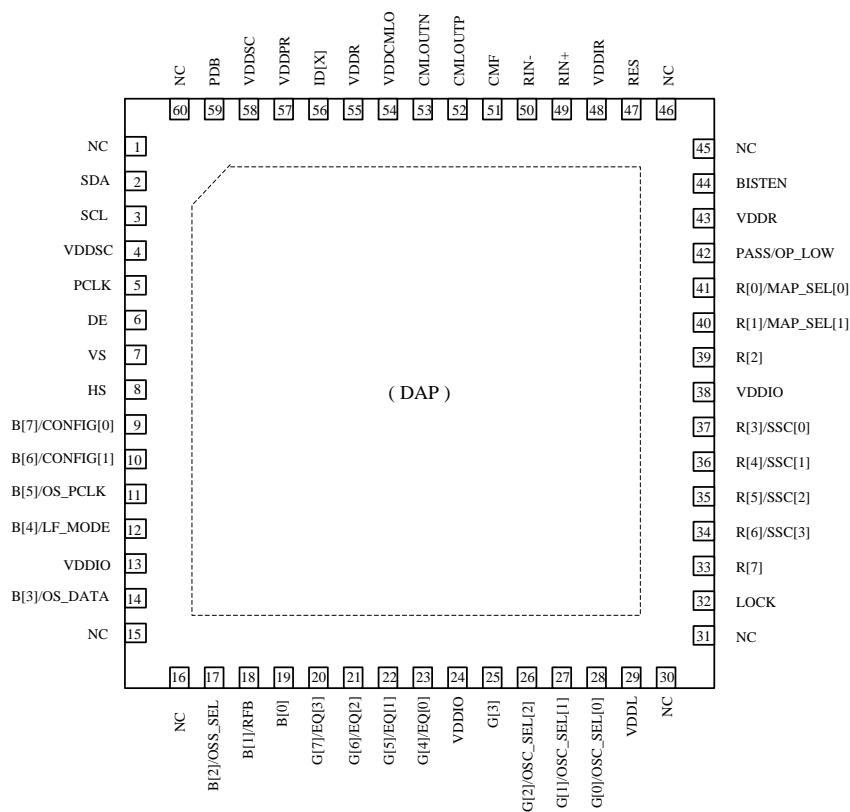


图 1 GM8906C 引脚排布图

24 位 FPD-LINK II 接收器

GM8906C

该芯片的各引脚功能描述见表 1:

表 1 芯片引脚功能说明

管脚名	序号	类型	描述
LVC MOS 并行接口			
R[7:0]	33, 34, 35, 36, 37, 39, 40, 41	I, STRAP, 0, LVC MOS	RED 并行数据输出端 (MSB = 7, LSB = 0), 在 power down 模式下, OSS_SEL 控制输出状态。上电过程中, 此类管脚为输入管脚。
G[7:0]	20, 21, 22, 23, 25, 26, 27, 28	I, STRAP, 0, LVC MOS	GREEN 并行数据输出端 (MSB = 7, LSB = 0), 在 power down 模式下, OSS_SEL 控制输出状态。上电过程中, 此类管脚为输入管脚。
B[7:0]	9, 10, 11, 12, 14, 17, 18, 19	I, STRAP, 0, LVC MOS	BLUE 并行数据输出端 (MSB = 7, LSB = 0), 在 power down 模式下, OSS_SEL 控制输出状态。上电过程中, 此类管脚为输入管脚。
HS	8	0, LVC MOS	Horizontal Sync 数据输出端, 在 power down 模式下, OSS_SEL 控制输出状态。
VS	7	0, LVC MOS	Vertical Sync 数据输出端, 在 power down 模式下, OSS_SEL 控制输出状态。
DE	8	0, LVC MOS	Data Enable 数据输出端, 在 power down 模式下, OSS_SEL 控制输出状态。
RCLK	5	0, LVC MOS	Pixel Clock 数据输出端, 在 power down 模式下, OSS_SEL 控制输出状态。
LOCK	32	0, LVC MOS	锁定状态输出端。LOCK = 1, PLL 锁定, 输出有效数据; LOCK = 0, PLL 未锁定, 输出并行数据状态受 OSS_SEL 控制。可作为测试点监测锁定状态, 不用时请悬空。
PASS	42	0, LVC MOS	BIST 模式状态输出端, PASS = 1, 传输无误码; PASS = 0, 传输至少有一个误码。可作为测试点监测连接状态, 不用时请悬空。
控制配置接口			
CONFIG[1:0]	10 [B6], 9 [B7]	STRAPI, LVC MOS w/ pull-down	模式控制 CONFIG[1:0] = 00: 对接 DS90UR905 或 GM8905C, 控制信号滤波功能关断 CONFIG[1:0] = 01: 对接 DS90UR905 或 GM8905C, 控制信号滤波功能开启
LF_MODE	12 [B4]	STRAPI, LVC MOS w/ pull-down	SSCG 低频模式控制端, 当 SSCG 使能时有效, 其他情况下, 该端状态忽略。 LF_MODE = 1, SSCG 工作在低频段 (PCLK = 5-20 MHz) LF_MODE = 0, SSCG 工作在高频段 (PCLK = 20-60 MHz)
OS_PCLK	11 [B5]	STRAPI, LVC MOS w/ pull-down	PCLK 输出沿速率选择 OS_PCLK = 1, 加速输出沿速率; OS_PCLK = 0, 正常模式 (默认)
OS_DATA	14 [B3]	STRAPI, LVC MOS w/ pull-down	数据输出沿速率选择 OS_DATA = 1, 加速输出沿速率; OS_DATA = 0, 正常模式 (默认)

24 位 FPD-LINK II 接收器

GM8906C

管脚名	序号	类型	描述		
控制配置接口					
ID[x]	56	I, Analog	I ² C 配置芯片地址设置 通过 RID 接地和 10 kΩ 电阻上拉到 1.8V 电源分压控制。		
			RID kΩ (5% tol)	Address 7' b	Address 8' b 0 appended (WRITE)
			0.47	7b' 1110001 (h' 71)	8b' 1101 0010 (h' E2)
			2.7	7b' 1110010 (h' 72)	8b' 1101 0100 (h' E4)
			8.2	7b' 1110011 (h' 73)	8b' 1101 0110 (h' E6)
Open	7b' 1110110 (h' 76)	8b' 1101 1100 (h' EC)			
RID ≠ 0Ω, 端口禁止直接接到 GND.					
OP_LOW	42 PASS	STRAPI, LVCMOS w/ pull-down	当 LOCK =1, 输出保证低电平状态, 该端不允许设置上拉。 OP_LOW = 1: 上电过程中, 所有的输出保持低电平状态, 上电之前, 所有输出保持三态 ; OP_LOW = 0: 当 LOCK 为高电平时, 所有输出正常输出。		
OSS_SEL	17 [B2]	STRAPI, LVCMOS w/ pull-down	输出休眠状态选择。 当 OP_LOW =1 时, 该端不能做上拉配置; power down 模式时, OSS_SEL 配合 PDB 控制输出状态。		
RFB	18 [B1]	STRAPI, LVCMOS w/ pull-down	时钟采样沿选择端 RFB = 1, 时钟上升沿采样数据; RFB = 0, 时钟下降沿采样数据。		
EQ[3:0]	20 [G7], 21 [G6], 22 [G5], 23 [G4]	STRAPI, LVCMOS w/ pull-down	接收器输入均衡器配置, 见表 2		
OSC_SEL[2:0]	26 [G2], 27 [G1], 28 [G0]	STRAPI, LVCMOS w/ pull-down	内部环振时钟配置, 见表 3		
SSC[3:0]	34 [R6], 35 [R5], 36 [R4], 37 [R3]	STRAPI, LVCMOS w/ pull-down	SSCG 配置, 见表 4		
MAP_SEL[1:0]	40 [R1], 41 [R0]	STRAPI, LVCMOS w/ pull-down	像素位对应关系控制端		
PDB	59	I, LVCMOS w/ pull-down	关断模式控制端 PDB = 1, 芯片正常工作; PDB = 0, 芯片进入 power down 模式。		
SCL	3	I, LVCMOS	I ² C 配置时钟输入端, 需要 4.7kΩ 电阻上拉到 VDDIO		
SDA	2	I/O, LVCMOS Open Drain	I ² C 配置数据输入/输出端, 需要 4.7kΩ 电阻上拉到 VDDIO		
BISTEN	44	I, LVCMOS w/ pull-down	BIST 测试模式控制输入端 BISTEN = 1, BIST 测试模式使能; BISTEN = 0, BIST 测试模式关断。		
RES	47	I, LVCMOS w/ pull-down	保留管脚, 接到 GND.		
NC	1, 15, 16, 30, 31, 45, 46, 60	/	悬空		

24 位 FPD-LINK II 接收器

GM8906C

管脚名	序号	类型	描述
高速差分接口			
RIN+	49	I, LVDS	差分输入正端, 必须接 100 nF 的 AC 耦合电容
RIN-	50	I, LVDS	差分输入负端, 必须接 100 nF 的 AC 耦合电容
CMF	51	I, Analog	接 4.7uF 的电容到地。
CMLOUTP	52	O, LVDS	测试模式差分输出正端
CMLOUTN	53	O, LVDS	测试模式差分输出负端
电源和地			
VDD (VDDn and VDDIO) 电源上电时间必须要小于 1.5ms, 如果慢于 1.5ms 就需要在 PDB 管脚增加到地的滤波电容, 保证在电源上电完成后, 再使能芯片。输入并行数据摆幅必须配合 VDDIO 电源进行同步设计, 两者保持一致。			
VDDL	29	Power	数字电源, 1.8 V ±5%
VDDIR	48	Power	输入端电源, 1.8 V ±5%
VDDR	43, 55	Power	RX 高速逻辑电源, 1.8 V ±5%
VDDSC	4, 58	Power	SSCG 电源, 1.8 V ±5%
VDDPR	57	Power	PLL 电源, 1.8 V ±5%
VDDCML	54	Power	RX High Speed Logic Power, 1.8 V ±5%
VDDIO	13, 24, 38	Power	LVC MOS I/O 电源端, 1.8 V ±5% OR 3.3 V ±10%
GND	DAP	Ground	DAP 为芯片 GND 端, 在芯片背面, PCB 设计上 DAP 连接至少需设计 9 个以上 GND 通孔, 保证芯片有很好的地接触。

4 功能描述

功能框图如图 3 所示。本器件采用第二代平板显示图像 (FPD_LINK II) 传输的串行解压缩方式, 实现将 1 路高速差分信号转换为 24 位并行 RGB 数据以及 3 位控制信号 (HS/VS/DE) 输出的功能。器件内部集成终端电阻, 可通过外部 I/O 或 I²C 总线进行配置, 主要由接收器模块、解串器模块、直流平衡解码、输出锁存器模块、锁相环模块、I2C 配置模块及误码校验模块等构成。

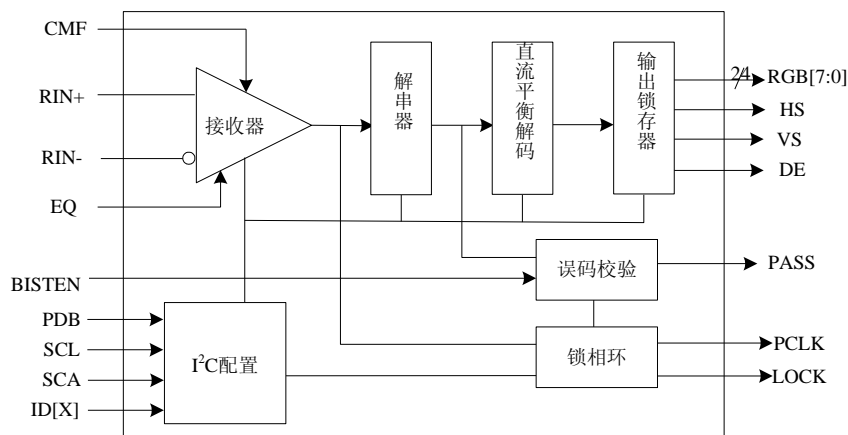


图 2 GM8906C 功能框图

24 位 FPD-LINK II 接收器

GM8906C

表 2 均衡器配置

EQ3	EQ2	EQ1	EQ0	均衡效果
L	L	L	H	~1.5dB
L	L	H	H	~3dB
L	H	L	H	~4.5dB
L	H	H	H	~6dB
H	L	L	H	~7.5dB
H	L	H	H	~9dB
H	H	L	H	~10.5dB
H	H	H	H	~12dB
X	X	X	X	OFF (默认)

表 3 环振配置

OSC_SEL2	OSC_SEL1	OSC_SEL0	PCLK 环振输出
L	L	L	OFF(默认)
L	L	H	50MHz±40%
L	H	L	25MHz±40%
L	H	H	16.7MHz±40%
H	L	L	12.5MHz±40%
H	L	H	10MHz±40%
H	H	L	8.3MHz±40%
H	H	H	6.3MHz±40%

表 4 SSCG 配置

SSC[3:0]输入, LF_MODE=L (20~60MHz)				SSCG 效果	
SSC3	SSC2	SSC1	SSC0	fdev (%)	fmd (kHz)
L	L	L	L	OFF	OFF
L	L	L	H	±0.5	PCLK/2168
L	L	H	L	±1.0	
L	L	H	H	±1.5	
L	H	L	L	±2.0	
L	H	L	H	±0.5	PCLK/1300
L	H	H	L	±1.0	
L	H	H	H	±1.5	
H	L	L	L	±2.0	
H	L	L	H	±0.5	PCLK/868
H	L	H	L	±1.0	
H	L	H	H	±1.5	
H	H	L	L	±2.0	
H	H	L	H	±0.5	PCLK/650
H	H	H	L	±1.0	
H	H	H	H	±1.5	

24 位 FPD-LINK II 接收器

GM8906C

SSC[3:0]输入, LF_MODE=H (5~20MHz)				SSCG 效果	
SSC3	SSC2	SSC1	SSC0	fdev (%)	fmd (kHz)
L	L	L	L	OFF	OFF
L	L	L	H	±0.5	PCLK/620
L	L	H	L	±1.0	
L	L	H	H	±1.5	
L	H	L	L	±2.0	
L	H	L	H	±0.5	PCLK/370
L	H	H	L	±1.0	
L	H	H	H	±1.5	
H	L	L	L	±2.0	
H	L	L	H	±0.5	PCLK/258
H	L	H	L	±1.0	
H	L	H	H	±1.5	
H	H	L	L	±2.0	
H	H	L	H	±0.5	PCLK/192
H	H	H	L	±1.0	
H	H	H	H	±1.5	

表 5 OSS_SEL 和 PDB 配置

输入			输出			
串行输入	PDB	OSS_SEL	PCLK	RGB/HS/VB/DE	LOCK	PASS
X	L	X	Z	Z	Z	Z
静态	H	L	L	L	L	L
静态	H	H	Z	状态由外部上下拉决定	L	L
有效	H	X	有效	有效	H	H

表 6 OSC 模式

输入	输出			
串行数据	PCLK	RGB/HS/VB/DE	LOCK	PASS
无, 且 OSC_SEL≠000	OSC 环振时钟	L	L	L
正常	有效	有效	H	H

5 参数指标

5.1 极限工作条件

电源电压 (V_{DDSC} , V_{DDR} , V_{DDIR} , V_{DDPR} , V_{DDCMLO} , V_{DDL}): -0.3V~2.5V

电源电压 (V_{DDIO}): -0.3V~4V;

结温 (T_j): 150°C;

引线耐焊接温度 (T_h) (4s): 260°C;

功耗 (P_D): 1W;

热阻 ($R_{\theta jc}$): 27°C/W;

贮存环境温度 (T_{stg}): -65°C~150°C;

24 位 FPD-LINK II 接收器

GM8906C

静电放电敏感度 (V_{ESD}) : 2000V。

5.2 推荐工作条件

电源电压 (V_{DDSC} , V_{DDR} , V_{DDIR} , V_{DDPR} , V_{DDCML0} , V_{DDL}) : $1.8V \pm 0.09V$;

电源电压 (V_{DDIO}) : $3.3V \pm 0.3V$ 、 $1.8V \pm 0.09V$;

输入时钟频率 (f_{TCLK}) : 5MHz~60MHz;

电源噪声电压 (V_{noise}) : $\leq 50mV$;

工作温度 (T_A) : $-40^{\circ}C \sim 85^{\circ}C$ 。

5.3 静态参数

表 7 静态参数表

特性	符号	条件: 除另有规定外, $-40^{\circ}C \leq T_A \leq 85^{\circ}C$, $V_{DDIO}=3.3V$, $V_{DDL}=V_{DDSC}=1.8V$, $V_{DDR}=V_{DDIR}=V_{DDPR}=V_{DDCML0}=1.8V$	极限值		单位
			最小	最大	
输入高电平电压	V_{IH}	$V_{DDIO}=3.6V$	2.2	V_{DDIO}	V
		$V_{DDIO}=1.89V$	$0.65 * V_{DDIO}$	V_{DDIO}	
输入低电平电压	V_{IL}	$V_{DDIO}=3.0V$	GND	0.8	V
		$V_{DDIO}=1.71V$	GND	$0.35 * V_{DDIO}$	
输入漏电流	I_{IN}	$V_{IN}=0V$ 或 V_{DDIO} , $V_{DDIO}=3.6V$	-15	15	μA
输出高电平电压	V_{OH}	$I_{OH}=-2mA$, $V_{DDIO}=3.0V$	0.45	—	V
		$I_{OH}=2mA$, $V_{DDIO}=1.71V$	$V_{DDIO}-0.45$	—	
输出低电平电压	V_{OL}	$I_{OL}=2mA$, $V_{DDIO}=3.6V$	—	0.4	V
		$I_{OL}=2mA$, $V_{DDIO}=1.89V$	—	0.45	
差分输入高电平阈值	V_{TH}	$V_{CM}=1.2V$	—	50	mV
差分输入低电平阈值	V_{TL}		-50	—	mV
内置终端电阻	R_T	—	80	120	Ω

5.4 动态参数

表 8 动态参数表

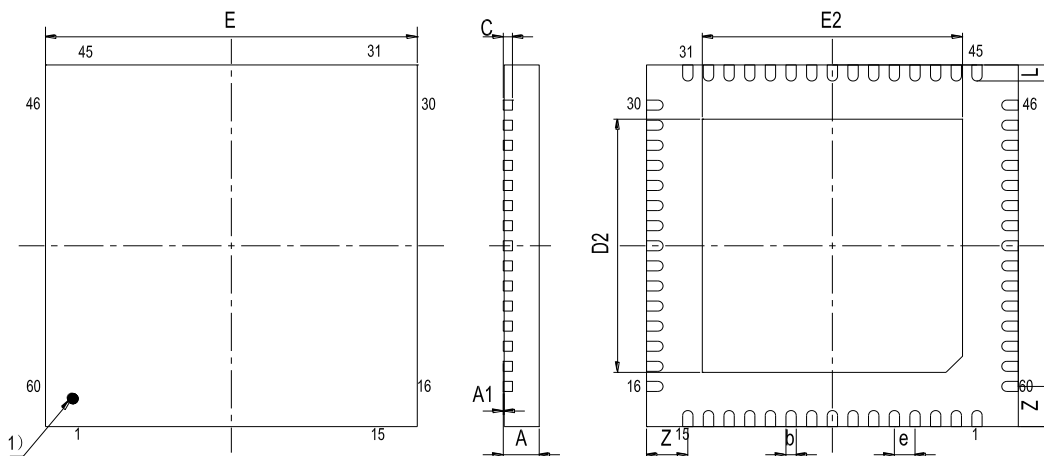
特性	符号	条件: 除另有规定外, $-40^{\circ}C \leq T_A \leq 85^{\circ}C$, $V_{DDIO}=3.3V$, $V_{DDL}=V_{DDSC}=1.8V$, $V_{DDR}=V_{DDIR}=V_{DDPR}=V_{DDCML0}=1.8V$	极限值		单位
			最小	最大	
电源电流	I_{DD}	Worstcase 数据, $f=60MHz$, $V_{DDIO}=3.6V$, $V_{DDL}=V_{DDSC}=V_{DDR}=V_{DDIR}=V_{DDPR}=V_{DDCML0}=1.89V$	—	260	mA
输出上升时间	t_R	$C_L \leq 4pF$, $f=60MHz$	—	4	ns
输出下降时间	t_F	$C_L \leq 4pF$, $f=60MHz$	—	4	ns
延迟时间	t_{DD}	$C_L \leq 4pF$, $f=60MHz$	—	5	μs
建立时间	t_{ROS}	$C_L \leq 4pF$, $f=60MHz$	4	—	μs
保持时间	t_{ROH}	$C_L \leq 4pF$, $f=60MHz$	4	—	μs

24 位 FPD-LINK II 接收器

GM8906C

6 机械尺寸

本器件采用 60 引线的方形扁平无引脚封装（QFN60）。外形尺寸按图 3 的规定。



注：1) 为引出端标志区。

单位为毫米

图 3 GM8906C 尺寸图

具体的尺寸见下表：

表 9 外形尺寸参数

单位：mm

尺寸符号	数值		
	最小	公称	最大
A	0.70	—	0.80
b	0.18	—	0.30
c	0.18	—	0.23
D	8.90	—	9.10
E	8.90	—	9.10
e	—	0.50	—
D ₂	—	6.30	—
E ₂	—	6.30	—
L	0.35	—	0.45
Z	—	1.00	—

7 产品应用信息

7.1 典型应用图

GM8906C 主要应用于 DVI、VGA 和控制信号的解码传输。

下图为 GM8906C 应用于 VGA 视频传输的应用原理图。VGA 视频源经视频解码模块解码成 RGB、888、DE、HS、VS 和并行像素时钟 PCLK 信号，该视频信号经 GM8905C 编码

24 位 FPD-LINK II 接收器

GM8906C

成 FPD-LINK II 高速串行差分信号，经屏蔽双绞线，采用交流耦合的形式传输给 GM8906，经解码还原成 RGB 视频格式信号，再通过视频编码信号，发送到显示屏进行终端显示。



图 4 GM8906C VGA 视频传输应用图

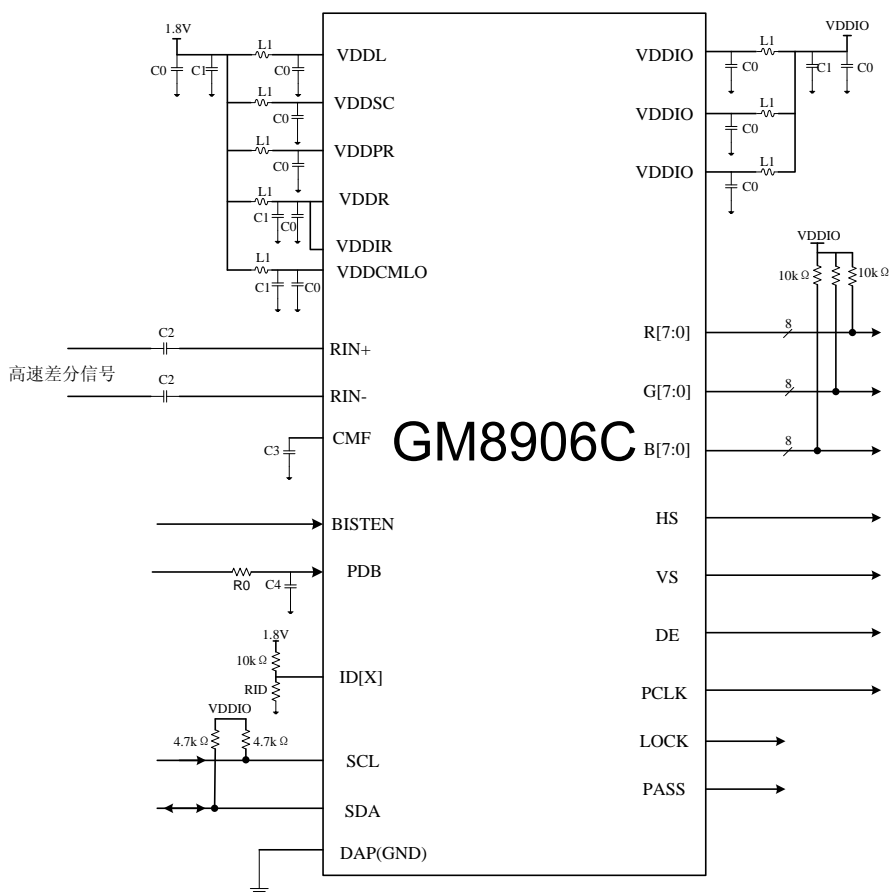


图 5 GM8906 典型连接图

上图为 GM8906 典型应用中的连接图，其外围无源器件推荐值：电容 C0=0.1μF、C1=4.7μF、C2=0.1μF、C3=4.7μF、C4=10μF；磁珠 L1=60Ω/100MHz；R0 为 PDB 信号沿控制串联电阻，该电阻根据实际情况，保证 PDB 控制信号在电源上电完成后再使能内部电路。电阻 RID 为芯片地址配置电阻。详见下表。

表 10 ID[X]地址配置表

RID(kΩ)	地址(7'b)	地址(8'b)
0.47	7'b1110001 (h'71)	8'b11100010 (h'E2)
2.7	7'b1110010 (h'72)	8'b11100100 (h'E4)
8.2	7'b1110011 (h'73)	8'b11100110 (h'E6)
开路	7'b1110110 (h'76)	8'b11101100 (h'EC)

内部寄存器配置如下表所示。

24 位 FPD-LINK II 接收器

GM8906C

表 11 寄存器配置

ADD	Register Name	Bit(s)	Default(bin)	Function	Description
00	Des Config 1	7	0	LFMODE	0: 20~60MHz 1: 5~20MHz
		6	0	OS_PCLK	0: 正常 Slew 输出 1: 加快 Slew 输出
		5	0	OS_DATA	0: 正常 Slew 输出 1: 加快 Slew 输出
		4	0	RFB	0: 输出数据的采样位置是时钟的下降沿 1: 输出数据的采样位置是时钟的上升沿
		3:2	00	CONFIG	00: 控制信号滤波器不使能 01: 控制信号滤波器使能
		1	0	SLEEP	NOTE: 跟 PDB 功能不一样, 软复位。 0: 正常模式。 1: 睡眠模式。
		0	0	REG	0: 配置设置来自于控制引脚。 1: 配置设置来自于寄存器, 除 I2C_ID 外。
01	Device ID	7	0	REG ID	0: 地址来自于 ID[X]引脚 1: 地址来自于寄存器。
		6:0	1110000	ID[X]	串行总线器件地址, 4 个地址如下: 7b'1110 001 (h'69); 7b' 1110 010 (h'6A); 7b' 1110 011 (h'6B); 7b' 1110 110 (h'6E) 其他地址保留。

24 位 FPD-LINK II 接收器

GM8906C

ADD	Register Name	Bit(s)	Default(bin)	Function	Description
02	Des Feature1	7	0	OP_LOW Release/Set	0: 输出状态置为低, 除了 LOCK pin 1: 输出正常状态 NOTE: 该寄存器仅在 LOCK=1 时工作。
		6	0	OSS_SEL	输出 sleep 状态选择 0 : PCLK/RGB[7:0]/HS/Vs/DE=L , LOCK=Normal, PASS=H 1 : PCLK/RGB[7:0]/HS/Vs/DE=Tri-State , LOCK=Normal, PASS=H
		5: 4	00	MAP_SEL	00: bit4, 5 on LSB 01: 如果所有 data 为 0, LSB 为 0; 只要有一个 data 为 1, LSB 就为 1 10: LSB 为 0 11: LSB 为 0
		3	0	OP_LOW strap bypass	0: strap 决定 OP_LOW 功能的关断或开启 1: 关断 OP_LOW 功能。
		2:0	000	OSC_SEL	000: OFF 001: 50MHz±40% 010: 25MHz±40% 011: 16.7MHz±40% 100: 12.5MHz±40% 101: 10MHz±40% 110: 8.3MHz±40% 111: 6.3MHz±40%
03	Des Feature2	7:5	000	EQ Gain	000: ~1.625dB 001: ~3.25dB 010: ~4.87dB 011: ~6.5dB 100: ~8.125dB 101: ~9.75dB 110: ~11.375dB 111: ~13dB
		4	0	EQ Enable	0: 关断 1: 开启

24 位 FPD-LINK II 接收器

GM8906C

ADD	Register Name	Bit(s)	Default(bin)	Function	Description
03	Des Feature2	3:0	0000	SSC	<p>IF LF_MODE = 0, then: 000: SSCG OFF</p> <p>0001: fdev = ±0.5%, fmod = PCLK/2168</p> <p>0010: fdev = ±1.0%, fmod = PCLK/2168</p> <p>0011: fdev = ±1.5%, fmod = PCLK/2168</p> <p>0100: fdev = ±2.0%, fmod = PCLK/2168</p> <p>0101: fdev = ±0.5%, fmod = PCLK/1300</p> <p>0110: fdev = ±1.0%, fmod = PCLK/1300</p> <p>0111: fdev = ±1.5%, fmod = PCLK/1300</p> <p>1000: fdev = ±2.0%, fmod = PCLK/1300</p> <p>1001: fdev = ±0.5%, fmod = PCLK/868</p> <p>1010: fdev = ±1.0%, fmod = PCLK/868</p> <p>1011: fdev = ±1.5%, fmod = PCLK/868</p> <p>1100: fdev = ±2.0%, fmod = PCLK/868</p> <p>1101: fdev = ±0.5%, fmod = PCLK/650</p> <p>1110: fdev = ±1.0%, fmod = PCLK/650</p> <p>1111: fdev = ±1.5%, fmod = PCLK/650</p> <p>IF LF_MODE = 1, then: 000: SSCG OFF</p> <p>0001: fdev = ±0.5%, fmod = PCLK/620</p> <p>0010: fdev = ±1.0%, fmod = PCLK/620</p> <p>0011: fdev = ±1.5%, fmod =</p>

24 位 FPD-LINK II 接收器

GM8906C

ADD	Register Name	Bit(s)	Default(bin)	Function	Description
					PCLK/620 0100: fdev = ±2.0%, fmod = PCLK/620 0101: fdev = ±0.5%, fmod = PCLK/370 0110: fdev = ±1.0%, fmod = PCLK/370 0111: fdev = ±1.5%, fmod = PCLK/370 1000: fdev = ±2.0%, fmod = PCLK/370 1001: fdev = ±0.5%, fmod = PCLK/258 1010: fdev = ±1.0%, fmod = PCLK/258 1011: fdev = ±1.5%, fmod = PCLK/258 1100: fdev = ±2.0%, fmod = PCLK/258 1101: fdev = ±0.5%, fmod = PCLK/192 1110: fdev = ±1.0%, fmod = PCLK/192 1111: fdev = ±1.5%, fmod = PCLK/192
ADD	Register Name	Bit(s)	Default(bin)	Function	Description
04	CML Config	7	0	Repeater Enable	X964_Y 0: Output CMLOUTP/N = disabled 1: Output CMLOUTP/N = enabled
		6:0	1111100	Reserved	

7.2 应用说明

7.2.1 芯片应用中应注意以下几点:

- 1) 电源必须加滤波电容, 电容值大小可根据实际情况考虑;
- 2) 信号的输入或输出端串联匹配电阻改善信号质量;
- 3) 应用过程中, 芯片的电源电压、输入电压范围、测试温度以及测试条件等都需要严格遵守数据手册规定;

24 位 FPD-LINK II 接收器

GM8906C

- 4) 用于测试和焊接的工作台面，测试仪器以及高低温箱等都必须具有防静电设施；
- 5) 测试和使用过程中，操作人员也必须带防静电腕带，在防静电台面上进行操作，禁止直接手持芯片；
- 6) 测试和使用过程中出现异常现象时，应该注意保护芯片。

7.2.2 调试步骤

- 1) 连接好电源线和信号线后，打开电源，用万用表检测芯片各电源 pin，达到了设定的电源电压值；
 - 2) 使能 PDB，用万用表检测 RIN+和 RIN- pin 端电压是否达到约 1.2V，如果达到说明芯片正常工作；如果未达到请检测芯片焊接是否完好；
 - 3) 将 BISTEN 信号置低，以满足正常数据接收要求，RFB 为输出信号和时钟的采样时序关系，以后级采样关系决定高低配置；
 - 4) 施加差分输入信号，推荐且仅能采用 GM8905C 或 DS90UR905Q 提供；
 - 5) 若 PASS 和 LOCK 同时为高电平时，说明接收芯片正确锁定解码，工作正常；若 PASS 为高电平，LOCK 为低电平，说明信号连接是正确的，芯片解码出错；若 PASS 为低电平，说明连接出错，请检查确认连接关系。
-